

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000473

International filing date: 17 January 2005 (17.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-032886
Filing date: 10 February 2004 (10.02.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

17.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 1 0 日
Date of Application:

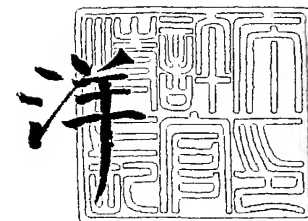
出 願 番 号 特 願 2 0 0 4 - 0 3 2 8 8 6
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 3 2 8 8 6]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 5 年 2 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 R03004451
【提出日】 平成16年 2月10日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/205
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 江口 聡司
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 金井 明
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 宮下 功
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 長島 誠吾
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
 【電話番号】 03-3366-0787
【手数料の表示】
 【予納台帳番号】 006909
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

以下の工程を含む半導体装置の製造方法：

- (a) 第 1 の水素ガス中に炭素原子を含むシラン系化合物ガスを 0.3 % 以上の第 1 の濃度で含有する第 1 の原料ガスを準備する工程；
- (b) 前記第 1 の原料ガスを第 2 の水素ガスで希釈することによって、前記シラン系化合物ガスを前記第 1 の濃度よりも低い第 2 の濃度で含有する第 1 の希釈原料ガスを生成する工程；
- (c) 前記第 1 の希釈原料ガスの内、少なくとも第 1 の部分を被処理ウエハが収容された反応室内に供給する工程；
- (d) 供給された前記第 1 の希釈原料ガスの前記第 1 の部分を用いて、前記被処理ウエハの第 1 の主面上に SiGe : C エピタキシャル層または SiGe : C 系のエピタキシャル層を形成する工程。

【請求項 2】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの内、残余の第 2 の部分は、前記反応室内には供給されない半導体装置の製造方法。

【請求項 3】

前記請求項第 1 項において、前記第 1 の水素ガスおよび前記第 2 の水素ガスは実質的に同一の濃度組成を有する半導体装置の製造方法。

【請求項 4】

前記請求項第 3 項において、前記第 2 の水素ガスの純度は 99.99 % 以上である半導体装置の製造方法。

【請求項 5】

前記請求項第 1 項において、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である半導体装置の製造方法。

【請求項 6】

前記請求項第 1 項において、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である半導体装置の製造方法。

【請求項 7】

前記請求項第 1 項において、前記エピタキシャル層は HBT のベース領域の一部である半導体装置の製造方法。

【請求項 8】

前記請求項第 1 項において、前記エピタキシャル層は歪み SiGe 系 MISFET のチャネル領域である半導体装置の製造方法。

【請求項 9】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの希釈度は 2 から 100 である半導体装置の製造方法。

【請求項 10】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの希釈度は 3 から 50 である半導体装置の製造方法。

【請求項 11】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの希釈度は 4 から 20 である半導体装置の製造方法。

【請求項 12】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの希釈度は 6 から 15 である半導体装置の製造方法。

【請求項 13】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの導入度は 2 から 100 である半導体装置の製造方法。

【請求項 14】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの導入度は 3 から 50 である半導体装置の製造方法。

【請求項 15】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの導入度は 4 から 20 である半導体装置の製造方法。

【請求項 16】

前記請求項第 1 項において、前記第 1 の希釈原料ガスの導入度は 6 から 15 である半導体装置の製造方法。

【請求項 17】

前記請求項第 1 項において、前記第 1 の濃度は 0.6 % 以上である半導体装置の製造方法。

【請求項 18】

前記請求項第 1 項において、前記第 1 の濃度は 1 % 以上である半導体装置の製造方法。

【請求項 19】

前記請求項第 1 項において、前記第 1 の濃度は 2 % 以上である半導体装置の製造方法。

【請求項 20】

前記請求項第 1 項において、前記第 1 の濃度は 5 % 以上である半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に、エピタキシャル成長技術を用いて形成する SiGe:C を有する半導体装置の製造技術に適用して有効な技術に関するものである。

【背景技術】

【0002】

メカニカルブースターポンプとドライポンプを使用し、原料ガスを反応室の上部から導入し反応室の下部から排気することにより、ウエハ反応雰囲気を高清浄に保持し、良質の Si、SiGe または SiGeC が得られる縦型減圧 CVD 装置が特開 2003-203872 号公報（特許文献 1）に記載されている。

【0003】

また、チャネル領域が表面から順に Si 層および SiGe または SiGeC 層からなる積層構造を有し、チャネル領域の両端面に所望の導電形を与える高濃度不純物原子を含む SiGe または SiGeC からなるソース層およびドレイン層が接しており、SiGe または SiGeC からなるソース層およびドレイン層の表面は、ゲート電極の底部位置より上方にせり上げられた形状を有する MOS 型電界効果トランジスタが特開 2002-237590 号公報（特許文献 2）に開示されている。

【特許文献 1】 日本特開 2003-203872 号公報

【特許文献 2】 日本特開 2002-237590 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

バイポーラトランジスタの性能を向上させるため、種々の検討がなされている。例えば、電流増幅率を大きくするため HBT（Hetero-junction Bipolar Transistor：ヘテロ接合バイポーラトランジスタ）技術が検討されている。HBT とは、エミッタ・ベース接合のエミッタ禁制帯幅をベースより大きくしたヘテロ接合（異種接合）構造のバイポーラトランジスタであり、例えば SiGe と Si のような異種の半導体の接合をベースとエミッタとの接合に用いている。この HBT は、高出力増幅器に用いられる高出力デバイスとして単一電源動作が可能であり、また高効率で動作するなどの特長を有することから、主に携帯電話向けに開発、製品化されている。

【0005】

近年、SiGe に C（炭素）を添加した SiGe:C が HBT のベースの材料として開発されている。C は Si や Ge に比べて原子半径の小さい元素であることから、SiGe:C は、SiGe よりも格子定数が小さくなり、歪みを低減させることができる。さらに、歪みが緩和することから、熱的な安定性が向上する。また、HBT のベースの導電型を p 型とするため、ベース材料には p 型不純物、例えば B（ボロン）が添加されるが、B は拡散係数が高いため、熱処理により Si 格子の間を動いて広がり、ベース抵抗が上がるなどして HBT の特性変動を引き起こしてしまう。しかし、SiGe に C を添加することにより、C が SiGe の格子間に入って、B の拡散を防ぐことができる。

【0006】

さらに、SiGe:C は HBT のみならず、電界効果トランジスタを代表する MIS-FET（Metal Insulator Semiconductor Field Effect Transistor）のチャネルに用いられている。Si 基板上にチャネルとして Si/SiGe:C 構造を形成すると、Si の格子定数と SiGe:C の格子定数との差に基づいて Si に歪みが与えられる。これにより、Si のエネルギーバンド構造が変わり、チャネルでの電子移動度または正孔移動度の向上を図ることができる。

【0007】

しかしながら、エピタキシャル成長により形成される Si/SiGe:C については、以下に説明する種々の技術的課題が存在する。

【0008】

SiGe:C を CVD (Chemical Vapor Deposition: 化学気相成長) 装置を用いてエピタキシャル成長により形成する。原料ガスには SiH₂CH₂、SiH₃CH₃、GeH₄、SiH₄ 等を用い、キャリアガスには H₂ を用いる。エピタキシャル成長により形成した SiGe:C (Ge 濃度 10%) の C、Ge および O (酸素) の濃度プロファイルを SIMS (Secondary Ion Mass Spectrometry: 二次イオン質量分析法) により分析したところ、エピタキシャル成長により形成した SiGe と比して 10 倍程度高い、 $1 \times 10^{18} \text{ cm}^{-3}$ 台の酸素系不純物が検出された。

【0009】

さらに、SiGe:C へ取り込まれる酸素系不純物の濃度は C 濃度または Ge 濃度に依存し、C 濃度または Ge 濃度が増加するに従い酸素系不純物濃度が増加することが判明した。これは、Ge-O 結合エネルギー ($659.4 \pm 12.6 / \text{kJ mol}^{-1}$) が、他の Ge-Si 結合エネルギー ($301.0 \pm 21.0 / \text{kJ mol}^{-1}$)、Ge-C 結合エネルギー ($460.0 \pm 21.0 / \text{kJ mol}^{-1}$)、Ge-Ge 結合エネルギー ($263.6 \pm 7.1 / \text{kJ mol}^{-1}$) よりも大きく、O が Ge に結合しやすいことに起因すると考えられる。

【0010】

ところが、Si を含有するガス (例えば SiH₄、SiH₂Cl₂ 等) と Ge を含有するガス (例えば GeH₄) とを反応させて SiGe 層をエピタキシャル成長した場合、酸素濃度は検出限界以下であった。また、C を添加する原料ガス SiH₃CH₃、または Ge を添加する原料ガス GeH₄ を Si を含有するガス (例えば SiH₄、SiH₂Cl₂ 等) と反応させて、それぞれエピタキシャル成長膜を形成したところ、これら膜中の SIMS により検出される酸素系不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ より遙かに低く、 $1 \times 10^{17} \text{ cm}^{-3}$ 台または検出限界以下となった。このことから、エピタキシャル成長により SiGe:C を形成する際、Ge 原子が SiH₃CH₃ に含まれる酸素系不純物を取り込むことによって SiGe:C へ酸素系不純物が混入すると推測される。

【0011】

HBT のベースに SiGe:C を用いると、これに取り込まれる酸素系不純物によってキャリア (Carrier) のライフタイム (Life Time) が低下する。このため、HBT のベースにおける再結合電流の増加によりベース電流が増加して、hFE (エミッタ接地電流利得) が低下するという問題が生ずる。さらに、SiGe:C では、酸素原子を起因とする OSF または積層欠陥等の欠陥により、点欠陥、線欠陥または面欠陥が引き起こり、その欠陥界面に沿った電流が流れる。この電流はバイアスでは制御できず、リーク電流となるため、HBT のベースまたは MIS・FET のチャネルに SiGe:C を用いることにより、HBT または MIS・FET の破壊耐圧等の信頼度が劣化する。

【0012】

本発明の目的は、エピタキシャル成長により形成される SiGe:C に含まれる酸素系不純物の濃度を低減することのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】**【0014】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

本発明による半導体装置 (または集積回路装置、半導体集積回路装置、電子デバイス等) の製造方法は、濃度 1 から 10% の SiH₃CH₃ を H₂ により希釈し、これを所定の流量

でエピタキシャル装置のチャンバへ供給することにより、チャンバ内の SiH_3CH_3 から導入される酸素系不純物の濃度を低減する。これにより、エピタキシャル成長により形成される SiGe:C に含まれる酸素系不純物の濃度を低減させる。

【0016】

本発明による半導体装置は、HBTのベースまたはMIS・FETのチャンネルに、濃度1から10%の SiH_3CH_3 を H_2 により希釈し、これを所定の流量でエピタキシャル装置のチャンバへ供給して、エピタキシャル成長により形成される酸素系不純物の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の SiGe:C を用いる。

【0017】

本願に開示されたその他の発明のいくつかの概要を以下に項に分けて記載する。

1. 以下の工程を含む半導体装置の製造方法:
 - (a) 高濃度のCを含有する第1のガスを第2のガスにより希釈する工程;
 - (b) 第3のガスをキャリアガスとして、希釈された前記第1のガスの一部を反応室へ供給する工程;
 - (c) 前記第3のガスをキャリアガスとして、Siを含有する第4のガスおよびGeを含有する第5のガスを反応室へ供給する工程;
 - (d) 前記反応室において、エピタキシャル成長により SiGe:C を形成する工程。
2. 項1記載の半導体装置の製造方法において、前記第1のガスは、 SiH_3CH_3 、 $\text{SiH}_2(\text{CH}_3)_2$ 、 $\text{SiH}(\text{CH}_3)_3$ または $\text{Si}(\text{CH}_3)_4$ である。
3. 項1記載の半導体装置の製造方法において、前記第2のガスは H_2 である。
4. 項1記載の半導体装置の製造方法において、前記第1のガスは SiH_3CH_3 であり、前記 SiH_3CH_3 の濃度は0.1から20%である。
5. 項1記載の半導体装置の製造方法において、前記第1のガスは SiH_3CH_3 であり、前記 SiH_3CH_3 の濃度は0.2から10%である。
6. 項1記載の半導体装置の製造方法において、前記第1のガスは SiH_3CH_3 であり、前記 SiH_3CH_3 の濃度は0.6から5%である。
7. 項1記載の半導体装置の製造方法において、前記第1のガスの希釈度は2から100である。
8. 項1記載の半導体装置の製造方法において、前記第1のガスの希釈度は3から40である。
9. 項1記載の半導体装置の製造方法において、前記第1のガスの希釈度は4から20である。
10. 項1記載の半導体装置の製造方法において、前記 SiGe:C に含まれる酸素系不純物の濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。
11. 項1記載の半導体装置の製造方法において、前記 SiGe:C に含まれる酸素系不純物の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。
12. 項1記載の半導体装置の製造方法において、前記 SiGe:C に含まれる酸素系不純物の濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。
13. 以下を含む半導体装置:
 - (a) エピタキシャル成長により形成され、Cの濃度が $3 \times 10^{20} \text{ cm}^{-3}$ 以下における場合酸素系不純物の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下である SiGe:C 。
14. 項13記載の半導体装置において、前記 SiGe:C は、バイポーラトランジスタのベースの一部を構成する。
15. 項14記載の半導体装置において、前記 SiGe:C に含まれるGeの濃度は10から40%である。
16. 項13記載の半導体装置において、前記 SiGe:C は、MISFETのチャンネルを構成する。
17. 項16記載の半導体装置において、前記 SiGe:C に含まれるGeの濃度は20から60%である。

【0018】

本願に開示されたその他の発明のいくつかの概要を以下に項に分けて記載する。

1. 以下の工程を含む半導体装置の製造方法:
 - (a) 第1の水素ガス（ここで水素ガスと言うときは希釈対象であるシラン系化合物ガスを除いたものである）中に炭素原子を含むシラン系化合物ガス（モノシラン、ジシラン、トリシラン等の水素を、単一または複数のメチル基、アルキル基等の炭素と水素とを主要な構成要素として含む基で置き換えたもの）を0.3%以上の第1の濃度で含有する第1の原料ガスを準備する工程（ここで準備するとは、たとえば、前記第1の原料ガスが充填されたボンベから反応室に向かって、ガスが流れるように装置を操作すること等を示す）；
 - (b) 前記第1の原料ガスを第2の水素ガスで希釈（水素ガスは純化器を介して反応室に供給されるので酸素系不純物濃度は大幅に低くなっている）することによって、前記シラン系化合物ガスを前記第1の濃度よりも低い第2の濃度で含有する第1の希釈原料ガスを生成する工程；
 - (c) 前記第1の希釈原料ガスの内、少なくとも第1の部分（必要により、前記第1の部分は前記第1の希釈原料ガスの全部であっても良い）を被処理ウエハが収容された反応室内に供給する工程；
 - (d) 供給された前記第1の希釈原料ガスの前記第1の部分を用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程。
2. 前記項第1項において、前記第1の希釈原料ガスの内、残余の第2の部分は、前記反応室内には供給されない（すなわち、反応路に導入せず、ベント等を介して外部に放出または適当なタンクに戻すことにより、原料ガスに含まれる酸素系不純物を低減する）前記半導体装置の製造方法。
3. 前記項第2項または第1項において、前記第1の水素ガスおよび前記第2の水素ガスは実質的に同一の濃度組成を有する前記半導体装置の製造方法。
4. 前記項第1項から第3項のいずれか一つにおいて、前記第2の水素ガスの純度は99.99%以上である前記半導体装置の製造方法。
5. 前記項第1項から第4項のいずれか一つにおいて、前記反応室は枚葉型エピタキシャル装置（一般に一度に1枚または2枚のウエハを同一反応室内で処理するものを指し、1枚処理のものを特に1枚葉と呼び、2枚葉と区別する）のエピタキシャル層形成用反応室である前記半導体装置の製造方法。
6. 前記項第1項から第5項のいずれか一つにおいて、前記反応室はバッチ型エピタキシャル装置（一般に一度に3枚以上のウエハを同一反応室内で処理するものを指す）のエピタキシャル層形成用反応室である前記半導体装置の製造方法。
7. 前記項第1項から第6項のいずれか一つにおいて、前記エピタキシャル層はHBTのベース領域の一部である前記半導体装置の製造方法。
8. 前記項第1項から第7項のいずれか一つにおいて、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である前記半導体装置の製造方法。
9. 前記項第1項から第8項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度（すなわち（第1の希釈原料ガスの流量+第2の水素ガスの流量）/第1の希釈原料ガスの流量）は2から100である前記半導体装置の製造方法。
10. 前記項第1項から第9項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度は3から50である前記半導体装置の製造方法。
11. 前記項第1項から第10項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度は4から20である前記半導体装置の製造方法。
12. 前記項第1項から第11項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度は6から15である前記半導体装置の製造方法。
13. 前記項第1項から第12項のいずれか一つにおいて、前記第1の希釈原料ガスの導

入度（すなわち（第1の希釈原料ガス中の第1の部分の流量+第1の希釈原料ガス中の第2の部分の流量）／第1の希釈原料ガス中の第1の部分の流量、言い換えれば、前記第1の希釈原料ガスの内、どの割合を前記反応室に導入するかを示す数値の逆数）は2から100である前記半導体装置の製造方法。

14. 前記項第1項から第13項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度は3から50である前記半導体装置の製造方法。

15. 前記項第1項から第14項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度は4から20である前記半導体装置の製造方法。

16. 前記項第1項から第15項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度は6から15である前記半導体装置の製造方法。

17. 前記項第1項から第16項のいずれか一つにおいて、前記第1の濃度は0.6%以上である前記半導体装置の製造方法。

18. 前記項第1項から第17項のいずれか一つにおいて、前記第1の濃度は1%以上である前記半導体装置の製造方法。

19. 前記項第1項から第18項のいずれか一つにおいて、前記第1の濃度は2%以上である前記半導体装置の製造方法。

20. 前記項第1項から第19項のいずれか一つにおいて、前記第1の濃度は5%以上である前記半導体装置の製造方法。

21. 以下の工程を含む半導体装置の製造方法：

(a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程；

(b) 前記第1の原料ガスを被処理ウエハが収容された反応室内に供給する工程；

(c) 供給された前記第1の原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記第1の濃度は0.6%以上（すなわち、高濃度の第1の原料ガス）である。

22. 前記項第21項において、前記第1の濃度は1%以上である前記半導体装置の製造方法。

23. 前記項第21項から第22項のいずれか一つにおいて、前記第1の濃度は2%以上である前記半導体装置の製造方法。

24. 前記項第21項から第23項のいずれか一つにおいて、前記第1の濃度は5%以上である前記半導体装置の製造方法。

25. 前記項第21項から第24項のいずれか一つにおいて、前記第1の水素ガスの純度は99.99%以上である前記半導体装置の製造方法。

26. 前記項第21項から第25項のいずれか一つにおいて、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

27. 前記項第21項から第26項のいずれか一つにおいて、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

28. 前記項第21項から第27項のいずれか一つにおいて、前記エピタキシャル層はHBTのベース領域の一部である前記半導体装置の製造方法。

29. 前記項第21項から第28項のいずれか一つにおいて、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である前記半導体装置の製造方法。

30. 以下の工程を含む半導体装置の製造方法：

(a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程；

(b) 前記第1の原料ガスを被処理ウエハが収容された反応室内に供給する工程；

(c) 供給された前記第1の原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記第1の原料ガスの酸素系不純物（酸素原子を含む不純物で、例えば酸素ガス、二酸化炭素ガス、水蒸気等の水分等）の濃度は5ppm未満である。

31. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は3ppm未

満である前記半導体装置の製造方法。

32. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は1ppm未満である前記半導体装置の製造方法。

33. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は0.5ppm未満である前記半導体装置の製造方法。

34. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は0.2ppm未満である前記半導体装置の製造方法。

35. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は0.1ppm未満である前記半導体装置の製造方法。

36. 前記項第30項から第35項のいずれか一つにおいて、前記半導体装置の製造方法は更に以下の工程を含む：

(d) 前記工程(a)の後、前記工程(b)の前に、前記第1の原料ガスを第2の水素ガスで希釈する工程。

37. 前記項第30項から第36項のいずれか一つにおいて、前記工程(b)において、前記反応室内に供給されるのは、前記第1の原料ガスの内、第1の部分である前記半導体装置の製造方法。

38. 以下の工程を含む半導体装置の製造方法：

(a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程；

(b) 前記第1の原料ガスを被処理ウエハが収容された反応室内に供給する工程；

(c) 供給された前記第1の原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記工程(b)において、前記第1の原料ガスは酸素系不純物ガスを除去する能力のある純化器またはフィルタを通して前記反応室に供給される。

39. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は5ppm未満である前記半導体装置の製造方法。

40. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は3ppm未満である前記半導体装置の製造方法。

41. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は1ppm未満である前記半導体装置の製造方法。

42. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は0.5ppm未満である前記半導体装置の製造方法。

43. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は0.2ppm未満である前記半導体装置の製造方法。

44. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は0.1ppm未満である前記半導体装置の製造方法。

45. 前記項第38項から第44項のいずれか一つにおいて、前記第1の原料ガスは高濃度である前記半導体装置の製造方法。

46. 前記項第38項から第45項のいずれか一つにおいて、前記半導体装置の製造方法は更に以下の工程を含む：

(d) 前記工程(a)の後、前記工程(b)の前に、前記第1の原料ガスを第2の水素ガスで希釈する工程。

47. 前記項第38項から第46項のいずれか一つにおいて、前記工程(b)において、前記反応室内に供給されるのは、前記第1の原料ガスの内、第1の部分である前記半導体装置の製造方法。

48. 以下の構成を含む半導体装置：

(a) 第1の主面を有する基体；

(b) 前記第1の主面上に設けられたSiGe:C系エピタキシャル層、ここで、前記エピタキシャル層の炭素濃度は、 $3 \times 10^{20} \text{ cm}^{-3}$ 以下であり、酸素系不純物濃度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

49. 前記項第48項において、前記エピタキシャル層はバイポーラトランジスタのベースの一部を構成する半導体装置。

50. 前記項第49項において、前記エピタキシャル層に含まれるGeの濃度は10から40%である半導体装置。

51. 前記項第48項において、前記エピタキシャル層はMISFETのチャネルを構成する半導体装置。

52. 前記項第51項において、前記エピタキシャル層に含まれるGeの濃度は20から60%である半導体装置。

53. 以下の工程を含む半導体装置の製造方法:

(a) 第1の水素ガス(すなわち水素を主要な成分とするガス)中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程;

(b) 前記第1の原料ガスを第2の水素ガス(すなわち水素を主要な成分とするガス)で希釈することによって、前記シラン系化合物ガスを前記第1の濃度よりも低い第2の濃度で含有する第1の希釈原料ガスを生成する工程;

(c) 前記第1の希釈原料ガスを被処理ウエハが収容された反応室内に供給する工程;

(d) 供給された前記第1の希釈原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記第1の濃度は0.6%以上(少なくとも0.3%以上であればよい)である。

54. 前記項第53項において、前記第1の濃度は1%以上である前記半導体装置の製造方法。

55. 前記項第53項から第54項のいずれか一つにおいて、前記第1の濃度は2%以上である前記半導体装置の製造方法。

56. 前記項第53項から第55項のいずれか一つにおいて、前記第1の濃度は5%以上である前記半導体装置の製造方法。

57. 前記項第53項から第56項のいずれか一つにおいて、前記第1の水素ガスの純度は99.99%以上である前記半導体装置の製造方法。

58. 前記項第53項から第57項のいずれか一つにおいて、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

59. 前記項第53項から第58項のいずれか一つにおいて、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

60. 前記項第53項から第59項のいずれか一つにおいて、前記エピタキシャル層はHBTのベース領域の一部である前記半導体装置の製造方法。

61. 前記項第53項から第60項のいずれか一つにおいて、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である前記半導体装置の製造方法。

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0020】

エピタキシャル成長により形成されるSiGe:Cに含まれる酸素系不純物の濃度を低減することのできるため、HBTのベースにSiGe:Cを用いても、酸素系不純物に起因したキャリアのライフタイムの低下を防ぐことができる。その結果として、hFEを向上させることができる。さらに、HBTのベースまたはMISFETのチャネルにSiGe:Cを用いても、酸素原子を起因とする結晶欠陥が低減できるので、リーク電流を低減し、破壊耐圧を向上することができる。

【発明を実施するための最良の形態】

【0021】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なも

のではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0022】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0023】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0024】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0025】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0026】

また、ウエハとは、集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0027】

なお、以下の実施例では、具体的な装置およびその他の条件要求等（例えばドーピング量の調整の幅等の関係で制御性を確保するため）に適合させるため、炭素を含むシラン系原料ガス以外についても、希釈とベントによる一部ガスの排出による反応室への各種ガスの導入の安定化、精度向上、制御性の向上等を図っているが、各種ガスの導入方法は、これらのやり方に限定されず、単純な直接導入法や希釈だけ、または一部ベントのみを用いる方法であっても良い。このことは、炭素を含むシラン系原料ガスの供給についても同様である。

【0028】

なお、本願でガスについて言及するときは、簡潔のため「水素ガス」等のごとく、主要な成分を構成するか、または特に注目する元素、原子、分子名で呼ぶが、それらは、特にそうでない旨明示する場合または原理的にそうでないことが明らかである場合を除き、他のガス（添加ガス、希釈ガス等）を含有することを許容することは言うまでもない。

【0029】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0030】

（実施の形態1）

本実施の形態による選択性SiGe:CをベースとするHBTの製造方法を図1から図21を用いて工程順に説明する。

【0031】

まず、図1に示すように、基板1を用意する。この段階の基板1は、半導体ウエハを称する平面略円形状の部材からなり、例えばチョクラスキー法等のような結晶引き上げ法により形成された n^+ 型のシリコン単結晶からなり、その抵抗率は、例えば3から6mΩcmである。次に、基板1に n 型不純物をイオン注入して、 n ウェル（コレクタ）2を形成する。続いて、基板1の表面に熱酸化法によりシリコン酸化膜を形成した後、基板1上

にシリコン窒化膜をCVD法で堆積する。続いて、パターニングされたレジストをマスクとしてシリコン窒化膜をエッチングし、レジストを除去した後、選択熱酸化法により厚さ200から400 nm程度のLOCOS酸化膜3を基板1の素子分離領域に形成する。このLOCOS酸化膜3によって基板1の活性領域が既定される。その後、上記シリコン窒化膜を除去する。なお、素子分離はLOCOS酸化膜3に限定されるものではなく、例えば溝に絶縁膜を埋め込んだ溝型素子分離を用いてもよい。

【0032】

次に、図2に示すように、基板1上に、厚さ50から200程度の絶縁膜4および厚さ50から400 nm程度のシリコン多結晶膜5を順次堆積する。絶縁膜4は、例えばTEOS (Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$) とオゾン (O_3) とをソースガスに用いたプラズマCVD法または有機シランの熱分解によるCVD法により堆積されたシリコン酸化膜を例示することができる。このシリコン酸化膜は、熱酸化によってシリコン単結晶に形成されるシリコン酸化膜よりも密度が低く、熱酸化によって形成されるシリコン酸化膜の約10倍のウエットエッチング速度を有する。続いてシリコン多結晶膜5にp型不純物、例えばBをイオン注入して、多結晶シリコン膜5の導電型を p^+ 型とする。

【0033】

次に、図3に示すように、基板1上に、厚さ50から200 nm程度のシリコン窒化膜6および厚さ50から200 nm程度の絶縁膜7を順次堆積する。

【0034】

次に、図4に示すように、パターニングされたレジストをマスクとして、絶縁膜7、シリコン窒化膜6およびシリコン多結晶膜5を順次エッチングし、HBTが形成される領域の絶縁膜4を露出させ、エミッタ開口部8を形成する。加工されたシリコン多結晶膜5はベース引き出し電極を形成する。

【0035】

次に、図5に示すように、基板1上に、厚さ10から100 nm程度のシリコン窒化膜を堆積し、このシリコン窒化膜を、例えばRIE法で異方性エッチングして、エミッタ開口部8の側壁にスペーサ9を形成する。

【0036】

次に、図6に示すように、ウエットエッチングにより絶縁膜7を除去し、さらに露出している絶縁膜4の一部を除去して、基板1 (nウェル2) の活性領域の表面を露出させる。この際、シリコン多結晶膜5の下の絶縁膜4の一部もウエットエッチングされて、10 nm程度の隙間が生ずる。

【0037】

次に、図7に示すように、基板1 (nウェル2) の活性領域の表面に $\text{SiGe}:\text{C}$ をエピタキシャル成長により選択的に形成して、HBTのベース10を形成する。以下に、選択性 $\text{SiGe}:\text{C}$ の形成方法を詳細に説明する。

【0038】

図8に、ベースを示す基板の要部拡大図を示す。ベース10は、下から順に真性半導体 (Intrinsic Semiconductor) である $\text{SiGe}:\text{C}$ (以下、 $i\text{-SiGe}:\text{C}$ と記す) 10a、相対的に高濃度の p^+ 型半導体である $\text{SiGe}:\text{C}$ (以下、 $p^+\text{-SiGe}:\text{C}$ と記す) 10b、相対的に低濃度の p^- 型半導体である $\text{SiGe}:\text{C}$ (以下、 $p^-\text{-SiGe}:\text{C}$ と記す) 10cおよび $\text{Si}10d$ からなる。 $i\text{-SiGe}:\text{C}10a$ 、 $p^+\text{-SiGe}:\text{C}10b$ 、 $p^-\text{-SiGe}:\text{C}10c$ および $\text{Si}10d$ の厚さは、例えばそれぞれ3から30 nm程度、3から8 nm程度、3から10 nmおよび5から50 nm程度である。

【0039】

図9に、本実施の形態1であるHBTのベースの形成に用いるエピタキシャル装置の配管構造を示す。ここでは、1枚1枚のウエハに対して処理を行う枚葉式エピタキシャル装置を例示するが、何枚かのウエハをひとまとめにして同時に処理するバッチ式エピタキシャル装置を用いてもよい (一般に6インチすなわち150 mm以上のウエハではウエハ内均一性の観点から枚葉が有利と考えられる。しかし、処理能力の観点からバッチ式が有利

な場合もある。8インチすなわち200mmまたは12インチすなわち300mm以上では枚葉の優位性が大きいと考えられる)。チャンバ(反応室)11へ繋がるメインプロセスガスラインMGLには、 H_2 、Si原子にH(水素)原子若しくはCl(塩素)原子が結合するガス、例えば SiH_4 、 Si_2H_6 またはDCS(Dichlorosilane: SiH_2Cl_2)、Geを含有するガス(例えば GeH_4)、Bを含有するガス(例えば B_2H_6)、Asを含有するガス(例えば AsH_3)、Cを含有するガス(例えば SiH_3CH_3)等を提供するそれぞれのガスラインが接続されている。Cを提供するガスとして SiH_3CH_3 を用いたが、例えば $SiH_2(CH_3)_2$ 、 $SiH(CH_3)_3$ または $Si(CH_3)_4$ を用いてもよい。HClはSi原子にH原子だけが結合するガス(Si_xH_{2x+2})を使用する選択性エピタキシャル成長の際には必須であるが、DCS等のCl原子を含むガスを使用する際には任意で使用する。

【0040】

キャリアガスである H_2 の流量はマスフローコントローラMFC1により調整され、メインプロセスガスラインMGLに流されて、エピタキシャル装置のチャンバ11へ供給される。同様に、 SiH_4 またはDCSの流量はマスフローコントローラMFC2により、 GeH_4 の流量はマスフローコントローラMFC3により調整され、各々のガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。さらに、マスフローコントローラMFC4によりその流量が調整された B_2H_6 にマスフローコントローラMFC5によりその流量が調整された H_2 が混合されて、メインプロセスガスラインMGLに繋がる前に B_2H_6 は希釈される。希釈された B_2H_6 はマスフローコントローラMFC6によりその流量が調整され、ガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。不要な希釈された B_2H_6 はベント(Vent)ライン12から排気される。また、マスフローコントローラMFC7によりその流量が調整された AsH_3 にマスフローコントローラMFC8によりその流量が調整された H_2 が混合されて、メインプロセスガスラインMGLに繋がる前に AsH_3 は希釈される。希釈された AsH_3 はマスフローコントローラMFC9によりその流量が調整され、ガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。不要な希釈された AsH_3 はベントライン12から排気される。また、マスフローコントローラMFC10によりその流量が調整された SiH_3CH_3 にマスフローコントローラMFC11によりその流量が調整された H_2 が混合されて、メインプロセスガスラインMGLに繋がる前に SiH_3CH_3 は希釈される。希釈された SiH_3CH_3 はマスフローコントローラMFC12によりその流量が調整され、ガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。不要な希釈された SiH_3CH_3 はベントライン12から排気される。

【0041】

希釈に用いる H_2 の純度は99.99%以上(購入時すなわちボンベまたはシリンダにおける純度)、 O_2 濃度は3ppm以下、 N_2 濃度は50ppm以下であり、 H_2 は製造工場内の集中配管によって供給される。さらにエピタキシャル装置へ流す前に、 H_2 を水素純化器(水分、酸素、二酸化炭素等の酸素系不純物を除去する能力があり、これを通したあとは、99.999%から99.9999%またはそれ以上の純度となる)に通しており、マスフローコントローラMFC11へ流される H_2 の酸素系不純物の濃度は0.03ppm以下程度(非希釈ガスであるシラン系炭素含有ガスの純度と比較して純度が高い。ただし、無害な他の添加ガス等の存在を許容する)である。

【0042】

SiH_3CH_3 は、ボンベに充填されてガス製造メーカーから半導体製造工場へ搬送される。炭素を含むシラン系化合物ガスとしての濃度100%の SiH_3CH_3 に含まれる酸素系不純物の濃度は一般に10ppm未満とされているが、エピタキシャル成長によりSiGe:Cを形成する際、この酸素系不純物がSiGe:Cに混入する。

【0043】

図10は、濃度0.1%の希釈しない SiH_3CH_3 を用いてエピタキシャル成長により

形成した SiGe:C に含まれる不純物の SIMS プロファイル、図 11 (a) は、SiH₃CH₃ を使わずにエピタキシャル成長により形成した SiGe の SIMS プロファイルである。図 10 に示すように、SiGe:C の Ge が導入された部分では O 濃度の顕著な増加が見られ、O 濃度が 10¹⁸ cm⁻³ 以上となっている。しかし、図 11 (a) に示すように、エピタキシャル成長により形成した SiGe では、酸素不純物濃度は検出限界以下となる。すなわち、SiGe:C のエピタキシャル成長時には、Ge 原子によって SiH₃CH₃ に含まれる酸素系不純物が SiGe:C に取り込まれ、その酸素系不純物は、Ge 濃度または C 濃度が増加するに従い増加すると考えられる。これは、図 11 (b) に示すような Si をエピタキシャル成長している最中に Ge または C を各々箱型にドーピングした実験において、酸素不純物濃度が上がらなかった実験結果からも裏付けられる。従って、SiGe:C に含まれる酸素系不純物を減らすためには、Ge 濃度または C 濃度を減らすことが効果的である。しかし、所望する組成の SiGe:C を形成するためには、Ge 濃度または C 濃度を低減することはできない。

【0044】

そこで、本実施の形態 1 では、高濃度の SiH₃CH₃ を用い、これを H₂ により希釈してチャンバへ供給することにより、C 濃度を低減させることなくチャンバ内の SiH₃CH₃ から導入される酸素系不純物の濃度を低減し、成膜される SiGe:C に含まれる酸素系不純物の濃度を低減させる。ここで、高濃度とは、一般には 0.3 % 以上の範囲を言う（本願においては、目的に対応してその他 1 % 以上、2 % 以上、または 5 % 以上を示す場合もある）。量産に適した範囲としては、0.5 から 10 % が適切であるが、さらに 0.6 から 5 % 等の 1 から 2 % を中心値とする周辺範囲が、最も好適と考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。また、低濃度とは、0.2 % 未満の範囲を言い、量産においては 0.05 から 0.1 % を中心値とする周辺範囲が適用される（他の条件によってはこの範囲に限定されないことはもとよりである）。

【0045】

一般に SiH₃CH₃ の濃度に依らず、SiH₃CH₃ に含まれる酸素系不純物濃度は 10 ppm とされているが、希釈された SiH₃CH₃ に含まれる理論上の酸素系不純物濃度を計算した。図 12 に、SiH₃CH₃ 濃度および酸素系不純物濃度の一例をまとめる。理論上の酸素系不純物の濃度は、希釈した濃度 10 % の SiH₃CH₃ では 10 ppm × 10 % = 1 ppm、希釈した濃度 5 % の SiH₃CH₃ では 10 ppm × 5 % = 0.5 ppm、希釈した濃度 1 % の SiH₃CH₃ では 10 ppm × 1 % = 0.1 ppm、希釈した濃度 0.1 % の SiH₃CH₃ では 10 ppm × 0.1 % = 0.01 ppm となり、SiH₃CH₃ 濃度が減少するに従い、理論上の酸素系不純物濃度は低減する。

【0046】

図 13 に、SiH₃CH₃ を希釈した場合における酸素系不純物濃度の低減効果をまとめる。(a) は濃度 1 % の SiH₃CH₃ を H₂ で希釈した場合、(b) は濃度 5 % の SiH₃CH₃ を H₂ で希釈した場合、(c) は濃度 10 % の SiH₃CH₃ を H₂ で希釈した場合の希釈効果を示し、(d) は、比較のために希釈しない SiH₃CH₃ の濃度を示す。希釈した濃度 1 %、5 % または 10 % の SiH₃CH₃ における C の DN (Dopant Number: 実効流量) が 0.06 となるように、SiH₃CH₃ (MFC10) の流量 (SCR)、H₂ (MFC11) の流量 (DIL) および H₂ により希釈され、メインプロセスガスライン MGL へ流れる SiH₃CH₃ (MFC12) の流量 (INJ) を変えている。DN とは式 (1) により定義される。

【0047】

$$DN = INJ \times SCR / (SCR + DIL) \quad \text{式 (1)}$$

図 13 から、SiH₃CH₃ 濃度と酸素系不純物濃度とが比例すると仮定した場合、希釈された SiH₃CH₃ の流量 (INJ) が希釈しない濃度 0.1 % の SiH₃CH₃ の流量 (SCR) と同じ 60 sccm であれば、SiH₃CH₃ を希釈しても酸素系不純物の低減効果がないことがわかる。しかし希釈された SiH₃CH₃ の流量 (INJ) が増加すると希釈された SiH₃CH₃ の流量 (INJ) に反比例して希釈効果が現れる。

【0048】

例えば希釈された SiH_3CH_3 の流量 (INJ) が 300 sccm であれば、濃度 1%、5% または 10% の SiH_3CH_3 を希釈して用いた場合、希釈しない濃度 0.1% の SiH_3CH_3 を用いた場合よりも酸素系不純物濃度を $1/5$ に低減することができる。また、例えば希釈された SiH_3CH_3 の流量 (INJ) が 600 sccm であれば、濃度 1%、5% または 10% の SiH_3CH_3 を希釈して用いた場合、希釈しない濃度 0.1% の SiH_3CH_3 を用いた場合よりも酸素系不純物濃度を $1/10$ に低減することができる。

【0049】

SiH_3CH_3 の希釈率は、 SiH_3CH_3 の流量 (SCR) と H_2 の流量 (DIL) とを用いて定義することができ、前記式 (1) の $\text{SCR} / (\text{SCR} + \text{DIL})$ で表される。また、この希釈率の逆数を希釈度と定義すると、希釈度は、2 から 100 の範囲が適切な範囲であると考えられる (他の条件によってはこの範囲に限定されないことはもとよりである)。量産に適した範囲としては 3 から 50 が考えられるが、さらに 4 から 20 の範囲が最も好適と考えられる。

【0050】

なお、キャリアガス (H_2) は 20 slm 程度流すことができるので、希釈された SiH_3CH_3 の流量 (INJ) が 60 sccm から 300 sccm に増えても、その変化は $40\text{ sccm} / 20\text{ slm} = 1.2\%$ であり、また希釈された SiH_3CH_3 の流量 (INJ) が 60 sccm から 600 sccm に増えても、その変化は $540\text{ sccm} / 20\text{ slm} = 2.7\%$ であるので、 SiH_3CH_3 の流量 (INJ) の増加は、エピタキシャル成長へは影響しないと考えられる。

【0051】

さらに、濃度 1%、5% または 10% の SiH_3CH_3 を希釈して用いた場合、希釈しない濃度 0.1% の SiH_3CH_3 を用いた場合よりも SiH_3CH_3 の消費量およびコストパフォーマンスを低減することができる。図 14 (a) に、希釈された SiH_3CH_3 の流量 (INJ) が 300 sccm における濃度 1%、5% または 10% の SiH_3CH_3 を希釈して用いた場合の SiH_3CH_3 の消費量と希釈しない濃度 0.1% の SiH_3CH_3 を用いた場合の SiH_3CH_3 の消費量との比を示し、同図 (b) に、希釈された SiH_3CH_3 の流量 (INJ) が 300 sccm における濃度 1%、5% または 10% の SiH_3CH_3 を希釈して用いた場合のコストパフォーマンスと希釈しない濃度 0.1% の SiH_3CH_3 を用いた場合のコストパフォーマンスとの比を示し、同図 (c) に、0.1% の SiH_3CH_3 に対する濃度 1%、5% および 10% の SiH_3CH_3 の価格比を示す。コストパフォーマンスは式 (2) で表される。

【0052】

$$\text{コストパフォーマンス} = \text{価格比} \times \text{流量比} \quad \text{式 (2)}$$

濃度 1%、5% または 10% の SiH_3CH_3 を希釈して用いた場合の SiH_3CH_3 消費量は、希釈しない濃度 0.1% の SiH_3CH_3 を用いた場合の SiH_3CH_3 消費量の $1/6$ となり、希釈することにより、 SiH_3CH_3 の使用量を低減することができる。また濃度 1%、5% および 10% の SiH_3CH_3 を希釈して用いた場合のコストパフォーマンスは、それぞれ 0.28、0.39 および 0.49 となり、濃度 1%、5% および 10% の SiH_3CH_3 を希釈して用いた場合の費用は、濃度 0.1% の SiH_3CH_3 を用いた場合の費用の約 30%、約 40% および約 50% となる。

【0053】

ところで、前述したように、 $\text{SiGe}:\text{C}$ に取り込まれる酸素系不純物は、Ge 濃度または C 濃度が増加するに従い増加する (前記図 10 および図 11 参照)。図 15 に、C 濃度をパラメータとした $\text{SiGe}:\text{C}$ に含まれる酸素系不純物濃度と Ge 濃度との関係を示す。図中、実線は希釈しない SiH_3CH_3 を用いて形成された $\text{SiGe}:\text{C}$ の酸素系不純物濃度を示し、破線は希釈された高濃度の SiH_3CH_3 を用いて形成された $\text{SiGe}:\text{C}$ の酸素系不純物濃度を示す。

【0054】

例えば HBT のベースに用いられる SiGe : C に含まれる Ge 濃度は、10 から 40 % 範囲が適切な範囲であると考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。量産に適した範囲としては 10 から 30 % が考えられるが、さらに 15 から 20 % の範囲が最も好適と考えられる。また、例えば MIS・FET のチャンネルに用いられる SiGe : C に含まれる Ge 濃度は、20 から 60 % 範囲が適切な範囲であると考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。量産に適した範囲としては 20 から 40 % が考えられるが、さらに 15 から 30 % の範囲が最も好適と考えられる。

【0055】

HBT または MIS・FET への影響が懸念される酸素系不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以上と考えられる。HBT または MIS・FET への影響が無視できる酸素系不純物濃度については、例えば $5 \times 10^{19} \text{ cm}^{-3}$ 未満が適切な範囲であると考えられる（条件によってはこの範囲に限定されないことはもとよりである）。また、量産においては $1 \times 10^{19} \text{ cm}^{-3}$ 以下が適する範囲であると考えられるが、さらに $5 \times 10^{18} \text{ cm}^{-3}$ 以下の範囲が最も好適と考えられる。

【0056】

例えば希釈しない SiH₃CH₃ を用いて形成される C 濃度 $1 \times 10^{20} \text{ cm}^{-3}$ の SiGe : C では、Ge 濃度 10 から 60 % の範囲で酸素系不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下となり、この SiGe : C を HBT または MIS・FET に用いることができる。しかし、C 濃度が $1 \times 10^{20} \text{ cm}^{-3}$ よりも高くなると酸素系不純物濃度の増加のため、SiGe : C を HBT のベースまたは MIS・FET のチャンネルに用いることが難しくなる。例えば希釈しない SiH₃CH₃ を用いて形成される C 濃度 $2 \times 10^{20} \text{ cm}^{-3}$ の SiGe : C では、Ge 濃度が 40 % 以下での酸素系不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下となり、HBT に用いることができるが、Ge 濃度が 40 % を越えると酸素系不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となり、要求特性によっては、MIS・FET に用いることが一般にできなくなる。さらに、希釈しない SiH₃CH₃ を用いて形成される C 濃度 $3 \times 10^{20} \text{ cm}^{-3}$ の SiGe : C では、Ge 濃度が 17 % を越えると酸素系不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となり、要求特性によっては、この SiGe : C を HBT のベースまたは MIS・FET のチャンネルに用いることが一般にできなくなる。

【0057】

そこで、濃度 1 %、5 % または 10 % の SiH₃CH₃ を希釈して用いることにより、C 濃度を変えずに、SiGe : C に含まれる酸素系不純物濃度を低減する。図 15 には、一例として、酸素系不純物濃度を 1/10 に低減した C 濃度 $2 \times 10^{20} \text{ cm}^{-3}$ の SiGe : C に含まれる酸素系不純物濃度と Ge 濃度との関係を示す。酸素系不純物濃度の低減には、希釈した濃度 1 %、5 % または 10 % の SiH₃CH₃ を用いる。酸素系不純物濃度を 1/10 に低減することにより、Ge 濃度が 60 % でも酸素系不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることができるので、C 濃度 $2 \times 10^{20} \text{ cm}^{-3}$ の SiGe : C を 20 から 60 % の Ge 濃度を必要とする MIS・FET のチャンネルにも用いることができる。同様に、C 濃度 $3 \times 10^{20} \text{ cm}^{-3}$ の SiGe : C においても、酸素系不純物濃度を 1/10 に低減することにより、HBT のベースまたは MIS・FET のチャンネルに用いることが可能となる。

【0058】

図 16 は、希釈しない SiH₃CH₃ を用いて形成される SiGe : C および希釈した高濃度の SiH₃CH₃ を用いて形成される SiGe : C に含まれる酸素系不純物濃度と C 濃度との関係を示す。Ge 濃度は 17 % であり、希釈した高濃度の SiH₃CH₃ を用いて形成される SiGe : C に含まれる酸素系不純物濃度は、希釈しない SiH₃CH₃ を用いて形成される SiGe : C に含まれる酸素系不純物濃度の 1/10 である。

【0059】

Ge 濃度が一定でも、C 濃度が増加すると、SiGe : C に含まれる酸素系不純物濃度は増加する。希釈しない SiH₃CH₃ を用いて形成される SiGe : C では、C 濃度が 3

$\times 10^{20} \text{ cm}^{-3}$ を越えると酸素系不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上となり、HBTのベースまたはMIS・FETのチャネルへの採用が難しくなる。しかし、希釈した高濃度の SiH_3CH_3 を用いて形成される $\text{SiGe}:\text{C}$ では、C濃度が $5 \times 10^{20} \text{ cm}^{-3}$ を越えると酸素系不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上となるので、希釈しない SiH_3CH_3 を用いて形成される $\text{SiGe}:\text{C}$ よりも $\text{SiGe}:\text{C}$ に含まれるC濃度を高くすることができる。

【0060】

次に、本実施の形態1であるHBTのベースを形成するプロセスシーケンスの一例を説明する。図17は、エピタキシャル成長において各々のマスフローコントローラ（前記図9参照）により調整されるガス流量の一例を示し、図18は、各々のマスフローコントローラにより調整されるガス流量と時間（Duration）との関係を示す。HBTのベースは、 $i\text{-SiGe}:\text{C}$ 、 $p^+\text{-SiGe}:\text{C}$ 、 $p^-\text{-SiGe}:\text{C}$ および Si を下から順にエピタキシャル成長により形成された積層構造であり、 $i\text{-SiGe}:\text{C}$ 、 $p^+\text{-SiGe}:\text{C}$ および $p^-\text{-SiGe}:\text{C}$ の形成には濃度1%の SiH_3CH_3 を用いている。ここでは、ベースの導電型をp型とするため、マスフローコントローラMFC4, 5, 6を開けて $\text{SiGe}:\text{C}$ にBを供給するが、マスフローコントローラMFC7, 8, 9は閉じてAsを供給しないようにしている。

【0061】

図17および図18に示すように、マスフローコントローラMFCを調整することにより、所望する流量の所望するガスをチャンバへ供給することができる。なお、キャリアガスとして H_2 を用い、マスフローコントローラMFC1を通して一定の流量（ 20 s l m ）のキャリアガスが流れている。まず、 SiH_4 （またはDCS）および GeH_3 がマスフローコントローラMFC2, 3を通り120秒間チャンバへ供給されて、 $i\text{-SiGe}:\text{C}$ が形成され、次いで SiH_4 、 GeH_4 および H_2 により希釈された B_2H_2 がマスフローコントローラMFC2, 3, 4, 5, 6を通り30秒間チャンバへ供給されて、 $p^+\text{-SiGe}:\text{C}$ が形成され、次いで SiH_4 、 GeH_4 および H_2 により希釈された B_2H_2 がマスフローコントローラMFC2, 3, 4, 5, 6を通り60秒間チャンバへ供給されて、 $p^-\text{-SiGe}:\text{C}$ が形成される。これら $\text{SiGe}:\text{C}$ の形成には、マスフローコントローラMFC10, 11, 12を通り、 H_2 により希釈された濃度1%の SiH_3CH_3 がチャンバへ供給される。これにより、C濃度を低減することなく、 $i\text{-SiGe}:\text{C}$ 、 $p^+\text{-SiGe}:\text{C}$ 、 $p^-\text{-SiGe}:\text{C}$ に含まれる酸素系不純物を低減することができる。次いで、 SiH_4 および H_2 により希釈された B_2H_2 がマスフローコントローラMFC2, 4, 5, 6を通り90秒間チャンバへ供給されて、 Si が形成される。DCSを用いる場合は HCl の利用は任意である。 SiH_4 を用いる場合は選択性確保のため必須となる。

【0062】

次に、図19に示すように、基板1上にn型不純物、例えばP（リン）が添加されたシリコン多結晶膜13を堆積し、続いて、パターンニングされたレジストをマスクとしてシリコン多結晶膜13をエッチングする。加工されたシリコン多結晶膜13はHBTのエミッタを形成する。その後、さらにその上層に層間絶縁膜および配線層が形成されて、HBTが形成されるが、それらの図示および説明は省略する。

【0063】

なお、本実施の形態1では、HBTのベースを $i\text{-SiGe}:\text{C}$ 、 $p^+\text{-SiGe}:\text{C}$ 、 $p^-\text{-SiGe}:\text{C}$ および Si からなる積層構造としたが、これに限定されるものではなく、例えば $i\text{-SiGe}:\text{C}$ 、 $p^+\text{-SiGe}:\text{C}$ および Si かなる積層構造としてもよい。

【0064】

また、本実施の形態1では、他のプロセスガスと混合する前に高濃度の SiH_3CH_3 を H_2 より希釈し、これをメインプロセスガスラインMGLへ流してチャンバへ供給することにより、 $\text{SiGe}:\text{C}$ に含まれる酸素系不純物濃度を減少させたが、メインプロセスガスラインMGLへ流される SiH_3CH_3 に含まれる酸素系不純物を低減させる方法は、こ

れに限定されるものではない。

【0065】

例えば、高純度（酸素系不純物濃度が低いもの）の SiH_3CH_3 を採用する方法がある。図 20 (a) に、高純度の SiH_3CH_3 を採用したエピタキシャル装置の配管構造を示す。この方法は、純度を上げると SiH_3CH_3 の値段が高くなるという課題がある。しかし、ガスを変えるだけで、所望の特性が得られるというメリットがある。この場合は、0.2%未満（水素ガス等で希釈）の低濃度の炭素含有シラン系化合物ガスが一般に用いられるが、中濃度すなわち 0.2%以上 0.3%未満の範囲でも良い。さらに上記実施例と同様に、高濃度すなわち 0.3%以上（さらに必要に応じて 0.6%、1%、2%、5%以上等）のものを用いても良い。中濃度および高濃度の場合は、前記実施例と同様に、反応室に導入する際に、水素等で希釈して、一部のみを反応室に導入することで、さらに不純物濃度を下げることができる。

【0066】

さらに、図 21 に示すように、前記高純度の炭素含有シラン系化合物ガスを使用する代わりに、通常の炭素含有シラン系化合物ガスをエピタキシャル装置に接続された酸素系不純物を除去する能力のあるガス純化器またはフィルタ（炭素含有シラン系化合物ガス用の酸素系不純物除去装置）を通して供給するようにしても良い。この場合は、炭素含有シラン系化合物ガス用の酸素系不純物除去装置は水素用の同装置と比較すると高価であるが、比較的安いガスが使用できるメリットがある。もちろん、高純度のガスを適用しても良いことは言うまでもない。希釈および一部導入方式（併用）も同様である。

【0067】

また、大量のキャリアガスをメインプロセスガスライン MGL へ流す方法もある。図 20 (b) に、キャリアガスによる SiH_3CH_3 の希釈を採用したエピタキシャル装置の配管構造を示す。この方法では、 SiH_3CH_3 を 1/10 から 1/100 に希釈して、メインプロセスガスライン MGL に流す前に希釈する方法（前記図 9 参照）と同じ濃度とするために、キャリアガスを 10 から 100 倍流す必要がある。そのため、排気ポンプの能力を 10 から 100 倍に引き上げる必要がある。

【0068】

このように、本実施の形態 1 では、高濃度の SiH_3CH_3 を H_2 により希釈し、これを所定の流量でエピタキシャル装置のチャンバへ入れることにより、チャンバ内の酸素系不純物の濃度が低減して、成膜される選択性 $\text{SiGe}:\text{C}$ に含まれる酸素系不純物の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下に減少する。これにより、HBT のベースに選択性 $\text{SiGe}:\text{C}$ を用いても、酸素系不純物に起因したキャリアのライフタイムの低下を防ぐことができる。その結果、ベースにおける再結合電流が低減されてベース電流が減少するので、希釈せずに低濃度の SiH_3CH_3 をチャンバへ供給する場合よりも、hFE を向上させることができる。さらに、酸素原子を起因とする結晶欠陥を低減することができるので、 $\text{SiGe}:\text{C}$ のリーク電流を低減することができる。

【0069】

すなわち、以上の実施例および以下に示されたように、反応室に導入する炭素原子含有シラン系化合物ガスを含有する水素ベースのガスを反応室で用いる濃度よりも高くする。反応室に導入する前に、反応室で用いる濃度に水素ベースのガス（必要により各種原子分子ベースのガスであって良い）で前記高濃度のガス（0.3%以上のガスに限らない）を希釈して、導入する。その場合、必要に応じて、希釈された炭素原子含有シラン系化合物ガスの一部を反応室に導入するようにしても良い。

【0070】

このようにして、高濃度よりの原料ガスを希釈して用いることによって、原料ガス製造過程中に不可避免的に混入する微量（ppmオーダー）の酸素系不純物ガスの弊害を低減することができる。

【0071】

（実施の形態 2）

本実施の形態 2 による非選択性 SiGe:C をベースとする HBT の製造方法を図 22 から図 27 を用いて工程順に説明する。なお、以下の実施形態 2, 3 においては、特に明示した SiGe:C 層形成法の外、特に明らかに不適切である場合を除き、前記実施形態 1 に開示されたいかなる実施例も適用可能であることは言うまでもない。

【0072】

まず、図 22 に示すように、基板 21 を用意する。基板 21 は、シリコン単結晶からなり、その抵抗率は、例えば 3 から 6 mΩ cm である。続いて、エピタキシャル成長法を用いて、例えば厚さ 0.5 μm 程度の n 型のエピタキシャル層 22 を基板 21 上に形成する。続いて、基板 21 の素子分離領域に厚さ 200 から 500 nm 程度の LOCOS 酸化膜 23 を形成した後、エピタキシャル層 22 の所定の領域に n 型不純物、例えば P をイオン注入して n ウェル 24 を形成し、同様にエピタキシャル層 22 の所定の領域に p 型不純物、例えば B をイオン注入して p ウェル 25 を形成する。

【0073】

次に、図 23 に示すように、基板 1 上に厚さ 10 から 50 nm 程度の絶縁膜 26 を、例えば熱酸化法により形成した後、厚さ 10 から 50 nm 程度のシリコン多結晶膜 27 を、例えば CVD 法により堆積する。続いて、パターニングされたレジストをマスクとして、シリコン多結晶膜 27 および絶縁膜 26 を順次エッチングし、HBT が形成される活性領域の基板 21 (n ウェル 24) を露出させ、ベース開口部 28 を形成する。

【0074】

次に、図 24 に示すように、基板 21 上に、SiGe:C を非選択性エピタキシャル成長により形成して、HBT のベース 29 を形成する。ベース 29 は、前記実施の形態 1 の HBT のベース 10 と同様に、i-SiGe:C 29a、p⁺-SiGe:C 29b、p⁻-SiGe:C 29c および Si 29d からなる積層構造である。i-SiGe:C 29a、p⁺-SiGe:C 29b、p⁻-SiGe:C 29c および Si 29d の形成には、前記実施の形態 1 の前記図 9 に示した配管を備えたエピタキシャル装置を用いる。すなわち、i-SiGe:C 29a、p⁺-SiGe:C 29b および p⁻-SiGe:C 29c を非選択性エピタキシャル成長により形成する際も選択性エピタキシャル成長と同様に、高濃度の SiH₃CH₃ を H₂ により希釈し、これをメインプロセスガスラインへ流して、エピタキシャル装置のチャンバへ供給する。これにより、チャンバ内に導入される酸素系不純物の濃度が低減して、成膜される SiGe:C に含まれる酸素系不純物の濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下に減少させることができる。

【0075】

次に、図 25 に示すように、基板 21 上に絶縁膜 30 およびシリコン多結晶膜 31 を順次、例えば CVD 法により堆積する。絶縁膜 30 およびシリコン多結晶膜 31 の厚さは、例えば 30 から 80 nm 程度である。

【0076】

次に、図 26 に示すように、パターニングされたレジストをマスクとして、シリコン多結晶膜 31 および絶縁膜 30 を順次エッチングして、ベース 29 の一部を露出させて、エミッタ開口部 34 を形成する。続いて、基板 21 上に n 型不純物、例えば P が添加されたシリコン多結晶膜 35 および絶縁膜 36 を、例えば CVD 法により順次堆積する。シリコン多結晶膜 35 および絶縁膜 36 の厚さは、例えば 100 から 300 nm 程度である。

【0077】

次に、図 27 に示すように、パターニングされたレジストをマスクとして絶縁膜 36 およびシリコン多結晶膜 35 を順次エッチングする。加工されたシリコン多結晶膜 36 は HBT のエミッタを形成する。その後、さらにその上層に層間絶縁膜および配線層が形成されて、HBT が形成されるが、それらの図示および説明は省略する。

【0078】

このように、本実施の形態 2 によれば、非選択性エピタキシャル成長においても、高濃度の SiH₃CH₃ を H₂ により希釈することにより、エピタキシャル装置のチャンバに導入される酸素系不純物の濃度を低減することができるので、成膜された非選択性 SiGe

: Cに含まれる酸素系不純物の濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下に減少させることができる。

【0079】

(実施の形態3)

本実施の形態3による SiGe:C をチャネルとする nチャネル MIS・FET を図28に示す。

【0080】

p型のシリコン単結晶からなる基板41上に、厚さ $0.5 \mu\text{m}$ 程度のp型のエピタキシャル層42が形成され、さらにその上にnチャネルMIS・FETのチャネルが形成されている。このチャネルは、下層からBが添加されたp型のSiGe:C43およびSi44が順に積層された構造を有している。SiGe:C43の厚さは、例えば 0.2 nm 程度、Si44の厚さは、例えば 0.1 nm 程度である。SiGe:C43およびSi44は、高濃度の SiH_3CH_3 を H_2 により希釈することにより、エピタキシャル装置へ導入される酸素系不純物を低減したエピタキシャル成長法により形成される。

【0081】

チャネルの両側には、一对のn型半導体領域45によってソース・ドレインが形成されている。また、チャネルの上には、シリコン酸化膜からなるゲート絶縁膜46が形成され、さらにその上には、p型不純物が導入されたシリコン多結晶膜からなるゲート電極47が形成されている。

【0082】

本実施の形態3による SiGe:C をチャネルとする pチャネルMIS・FET を図29に示す。

【0083】

n型のシリコン単結晶からなる基板48上に、厚さ $0.5 \mu\text{m}$ 程度のp型のエピタキシャル層49が形成され、さらにその上にpチャネルMIS・FETのチャネルが形成されている。このチャネルは、下層からAsが添加されたn型SiGe:C50およびSi51が順に積層された構造を有している。SiGe:C50の厚さは、例えば 0.2 nm 程度、Si51の厚さは、例えば 0.1 nm 程度である。SiGe:C50およびSi51は、高濃度の SiH_3CH_3 を H_2 により希釈することにより、エピタキシャル装置へ導入される酸素系不純物を低減したエピタキシャル成長法により形成される。

【0084】

チャネルの両側には、一对のp型半導体領域52によってソース・ドレインが形成されている。また、チャネルの上には、シリコン酸化膜からなるゲート絶縁膜53が形成され、さらにその上には、n型不純物が導入されたシリコン多結晶膜からなるゲート電極54が形成されている。

【0085】

本実施の形態3による非選択性SiGe:CをチャネルとするnチャネルMIS・FETの製造方法を図30から図34を用いて工程順に説明する。

【0086】

まず、図30に示すように、p型のシリコン単結晶からなる基板41を用意する。続いて、エピタキシャル層42を形成し、さらにBが添加されたSiGe:C43およびSi44を下層から順次形成する。SiGe:C43は、キャリアガスを H_2 とし、 $\text{Si}_x\text{H}_{2x+2}$ (SiH_4 、 Si_2H_6 等) 若しくはDCS等のSiを含有するガス、 GeH_4 、 B_2H_6 、 SiH_3CH_3 の分解によるエピタキシャル成長法により形成される。ここで、前記実施の形態1と同様に、SiGe:C43の形成時には、1から10%の高濃度の SiH_3CH_3 を用い、これを H_2 により希釈してエピタキシャル装置のチャンバへ供給する。その結果、チャンバへ供給される SiH_3CH_3 に含まれる酸素系不純物の濃度が希釈されて、成膜されるSiGe:C43に含まれる酸素系不純物を低減することができる。

【0087】

次に、図31に示すように、Si44上にシリコン酸化膜からなるゲート絶縁膜46を形成する。ゲート絶縁膜46は、例えばSi44の表面を熱酸化することにより形成され

る。次いで、図 32 に示すように、ゲート絶縁膜 46 上にシリコン多結晶膜 47a を堆積する。シリコン多結晶膜 47a は、例えば CVD 法により形成され、P または As などの n 型不純物が添加される。

【0088】

次に、図 33 に示すように、パターニングされたレジストをマスクとして、シリコン多結晶膜 47a およびゲート絶縁膜 46 をエッチングする。加工されたシリコン多結晶膜 47a は n チャネル MIS・FET のゲート電極 47 を形成する。次いで、図 34 に示すように、ゲート電極 47 をマスクとして、Si44、SiGe:C43 およびエピタキシャル層 42 に、P または As などの n 型不純物をイオン注入して、ソース・ドレインを構成する一対の n 型半導体領域 45 を形成する。その後、基板 41 全体をパッシベーション膜で覆い、所定の配線等が形成されることにより、n チャネル MIS・FET が略完成する。

【0089】

本実施の形態 3 による選択性 SiGe:C をチャネルとする n チャネル MIS・FET の製造方法を図 35 から図 40 を用いて工程順に説明する。

【0090】

まず、図 35 に示すように、p 型のシリコン単結晶からなる基板 55 を用意する。続いて、パターニングされたレジストをマスクとして、基板 55 に溝を形成する。次いで、基板 55 上にシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を、例えば CMP (Chemical Mechanical Polishing) 法により平坦化して、上記溝の内部にシリコン酸化膜を残すことにより、素子分離 56 を形成する。

【0091】

次に、図 36 に示すように、素子分離 56 に囲まれた基板 55 を除去して、凹部を形成する。次いで、図 37 に示すように、凹部にエピタキシャル層 57 を形成し、さらに B が添加された SiGe:C58 および Si59 を下層から順次形成する。SiGe:C58 は、キャリアガスを H_2 とし、DCS (若しくは $Si_xH_{2x+2}HCl$ 、例えば SiH_4+HCl 等)、 GeH_4 、 B_2H_6 、 SiH_3CH_3 の分解によるエピタキシャル成長法により形成される。ここで、前記実施の形態 1 と同様に、SiGe:C58 の形成時には、1 から 10 % の高濃度の SiH_3CH_3 を用い、これを H_2 により希釈してエピタキシャル装置のチャンバへ供給する。その結果、チャンバへ供給される SiH_3CH_3 に含まれた酸素系不純物の濃度が希釈されて、成膜される SiGe:C58 に含まれる酸素系不純物を低減することができる。

【0092】

次に、図 38 に示すように、Si59 上に、相対的に比誘電率の低い材料、例えば HfO_2 からなるゲート絶縁膜 60 を形成する。ゲート絶縁膜 60 は、例えば CVD 法により形成される。続いて、ゲート絶縁膜 60 上にシリコン多結晶膜 61a を堆積する。シリコン多結晶膜 61a は、例えば CVD 法により形成され、P または As などの n 型不純物が添加される。

【0093】

次に、図 39 に示すように、パターニングされたレジストをマスクとして、シリコン多結晶膜 61a およびゲート絶縁膜 60 をエッチングする。加工されたシリコン多結晶膜 61a は n チャネル MIS・FET のゲート電極 61 を形成する。次いで、図 40 に示すように、ゲート電極 61 をマスクとして、Si59、SiGe:C58 およびエピタキシャル層 57 に、P または As などの n 型不純物をイオン注入して、ソース・ドレインを構成する一対の n 型半導体領域 62 を形成する。その後、基板 55 全体をパッシベーション膜で覆い、所定の配線等が形成されることにより、n チャネル MIS・FET が略完成する。

【0094】

このように、本実施の形態 3 によれば、1 から 10 % の高濃度の SiH_3CH_3 を H_2 により希釈し、これをエピタキシャル装置のチャンバへ供給して形成された酸素系不純物濃

度の低い SiGe:C によって、MIS・FET のチャネルを構成することができる。これにより、チャネルにおける酸素原子を起因とする欠陥の発生を低減することができ、欠陥によるリーク電流を抑えることができるので、MIS・FET の信頼度を向上させることができる。

【0095】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0096】

例えば、前記実施の形態では、SiGe:C を HBT のベースまたは MIS・FET のチャネルに用いた場合について説明したが、SiGe:C を有するいかなる半導体デバイスにも適用することができる。

【産業上の利用可能性】

【0097】

本発明は、エピタキシャル成長技術により形成される SiGe:C を有する半導体装置、特に SiGe:C をベースに用いる HBT または基板に用いる MIS・FET に適用することができる。

【図面の簡単な説明】

【0098】

【図1】本発明の実施の形態1である選択性 SiGe:C をベースとする HBT の製造工程を示す基板の要部断面図である。

【図2】図1に続く HBT の製造工程中の図1と同じ箇所の要部断面図である。

【図3】図2に続く HBT の製造工程中の図1と同じ箇所の要部断面図である。

【図4】図3に続く HBT の製造工程中の図1と同じ箇所の要部断面図である。

【図5】図4に続く HBT の製造工程中の図1と同じ箇所の要部断面図である。

【図6】図5に続く HBT の製造工程中の図1と同じ箇所の要部断面図である。

【図7】図6に続く HBT の製造工程中の図1と同じ箇所の要部断面図である。

【図8】本発明の実施の形態1である HBT のベースを示す基板の要部拡大図である。

【図9】本発明の実施の形態1である HBT のベースの形成に用いるエピタキシャル装置の配管構造を示す図である。

【図10】希釈しない SiH_3CH_3 を用いてエピタキシャル成長により形成した SiGe:C の不純物の SIMS プロファイルである。

【図11】(a) はエピタキシャル成長により形成した SiGe の不純物の SIMS プロファイル、(b) は SiH_4 を用いた Si のエピタキシャル成長中に、 GeH_4 にて Ge を、 SiH_3CH_3 にて C を各々箱型にドーピングした場合の SIMS プロファイルである。

【図12】 SiH_3CH_3 濃度、および H_2 により希釈された SiH_3CH_3 に含まれる理論上の酸素系不純物濃度を示す図である。

【図13】(a) は濃度 1% の SiH_3CH_3 の希釈効果、(b) は濃度 5% の SiH_3CH_3 の希釈効果、(c) は濃度 10% の SiH_3CH_3 の希釈効果、(d) は希釈しない SiH_3CH_3 の濃度を示す図である。

【図14】(a) は希釈した濃度 1%、5% または 10% の SiH_3CH_3 の消費量と希釈しない濃度 0.1% の SiH_3CH_3 の消費量との比、(b) は希釈した濃度 1%、5% または 10% の SiH_3CH_3 のコストパフォーマンスと希釈しない濃度 0.1% の SiH_3CH_3 のコストパフォーマンスとの比、(c) は 0.1% の SiH_3CH_3 に対する濃度 1%、5% および 10% の SiH_3CH_3 の価格比を示す図である。

【図15】C 濃度をパラメータとした SiGe:C に含まれる酸素系不純物濃度と Ge 濃度との関係を示すグラフ図である。

【図16】希釈しない SiH_3CH_3 を用いて形成される SiGe:C および希釈した

濃度 1%、5% または 10% の SiH_3CH_3 を用いて形成される $\text{SiGe}:\text{C}$ に含まれる酸素系不純物濃度と C 濃度との関係を示すグラフ図である。

【図 17】本発明の実施の形態 1 であるエピタキシャル成長において各々のマスフローコントローラにより調整されるガス流量の一例を示す図である。

【図 18】本発明の実施の形態 1 である各々のマスフローコントローラにより調整されるガス流量と時間 (Duration) との関係を示すグラフ図である。

【図 19】図 7 に続く HBT の製造工程中の図 1 と同じ箇所の要部断面図である。

【図 20】(a) は本発明の実施の形態 1 である高純度の SiH_3CH_3 を採用したエピタキシャル装置の配管構造を示す図、(b) は本発明の実施の形態 1 であるキャリアガスによる SiH_3CH_3 の希釈を採用したエピタキシャル装置の配管構造を示す図である。

【図 21】本発明の実施の形態 1 である純化器を増設したエピタキシャル装置の配管構造を示す図である。

【図 22】本発明の実施の形態 2 である非選択性 $\text{SiGe}:\text{C}$ をベースとする HBT の製造工程を示す基板の要部断面図である。

【図 23】図 22 に続く HBT の製造工程中の図 22 と同じ箇所の要部断面図である。

【図 24】図 23 に続く HBT の製造工程中の図 22 と同じ箇所の要部断面図である。

【図 25】図 24 に続く HBT の製造工程中の図 22 と同じ箇所の要部断面図である。

【図 26】図 25 に続く HBT の製造工程中の図 22 と同じ箇所の要部断面図である。

【図 27】図 26 に続く HBT の製造工程中の図 22 と同じ箇所の要部断面図である。

【図 28】本発明の実施の形態 3 である歪み $\text{SiGe}:\text{C}$ をチャンネルとする n チャンネル MIS・FET を示す基板の要部断面図である。

【図 29】本発明の実施の形態 3 である歪み $\text{SiGe}:\text{C}$ をチャンネルとする p チャンネル MIS・FET を示す基板の要部断面図である。

【図 30】本発明の実施の形態 3 である非選択性 $\text{SiGe}:\text{C}$ をチャンネルとする n チャンネル MIS・FET の製造方法を示す基板の要部断面図である。

【図 31】図 30 に続く n チャンネル MIS・FET の製造工程中の図 30 と同じ箇所の要部断面図である。

【図 32】図 31 に続く n チャンネル MIS・FET の製造工程中の図 30 と同じ箇所の要部断面図である。

【図 33】図 32 に続く n チャンネル MIS・FET の製造工程中の図 30 と同じ箇所の要部断面図である。

【図 34】図 33 に続く n チャンネル MIS・FET の製造工程中の図 30 と同じ箇所の要部断面図である。

【図 35】本発明の実施の形態 3 である選択性 $\text{SiGe}:\text{C}$ をチャンネルとする n チャンネル MIS・FET の製造方法を示す基板の要部断面図である。

【図 36】図 35 に続く n チャンネル MIS・FET の製造工程中の図 35 と同じ箇所の要部断面図である。

【図 37】図 36 に続く n チャンネル MIS・FET の製造工程中の図 35 と同じ箇所の要部断面図である。

【図 38】図 37 に続く n チャンネル MIS・FET の製造工程中の図 35 と同じ箇所の要部断面図である。

【図 39】図 38 に続く n チャンネル MIS・FET の製造工程中の図 35 と同じ箇所の要部断面図である。

【図 40】図 39 に続く n チャンネル MIS・FET の製造工程中の図 35 と同じ箇所の

の要部断面図である。

【符号の説明】

【0099】

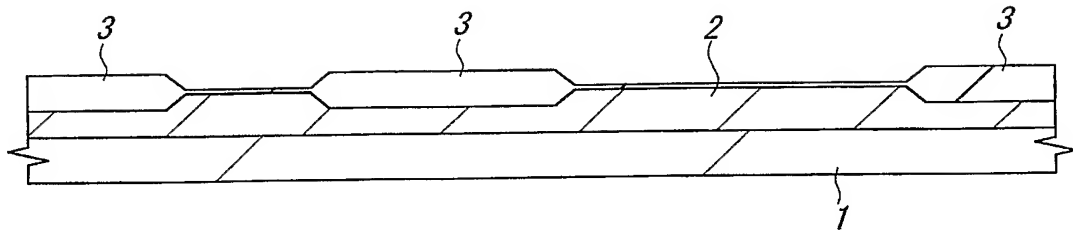
- 1 基板
- 2 nウェル (コレクタ)
- 3 LOCOS酸化膜
- 4 絶縁膜
- 5 シリコン多結晶膜
- 6 シリコン窒化膜
- 7 絶縁膜
- 8 エミッタ開口部
- 9 スペース
- 10 ベース
- 10a i-SiGe:C
- 10b p⁺-SiGe:C
- 10c p⁻-SiGe:C
- 10d Si
- 11 チャンバ
- 12 ベントライン
- 13 シリコン多結晶膜
- 21 基板
- 22 エピタキシャル層
- 23 LOCOS酸化膜
- 24 nウェル
- 25 pウェル
- 26 絶縁膜
- 27 シリコン多結晶膜
- 28 ベース開口部
- 29 ベース
- 29a i-SiGe:C
- 29b p⁺-SiGe:C
- 29c p⁻-SiGe:C
- 29d Si
- 30 絶縁膜
- 31 シリコン多結晶膜
- 34 エミッタ開口部
- 35 シリコン多結晶膜
- 36 絶縁膜
- 41 基板
- 42 エピタキシャル層
- 43 SiGe:C
- 44 Si
- 45 n型半導体領域
- 46 ゲート絶縁膜
- 47 ゲート電極
- 47a シリコン多結晶膜
- 48 基板
- 49 エピタキシャル層
- 50 SiGe:C
- 51 Si

5 2 p 型半導体領域
 5 3 ゲート絶縁膜
 5 4 ゲート電極
 5 5 基板
 5 6 素子分離
 5 7 エピタキシャル層
 5 8 S i G e : C
 5 9 S i
 6 0 ゲート絶縁膜
 6 1 ゲート電極
 6 1 a シリコン多結晶膜
 6 2 n 型半導体領域
 M G L メインプロセスガスライン

【書類名】 図面

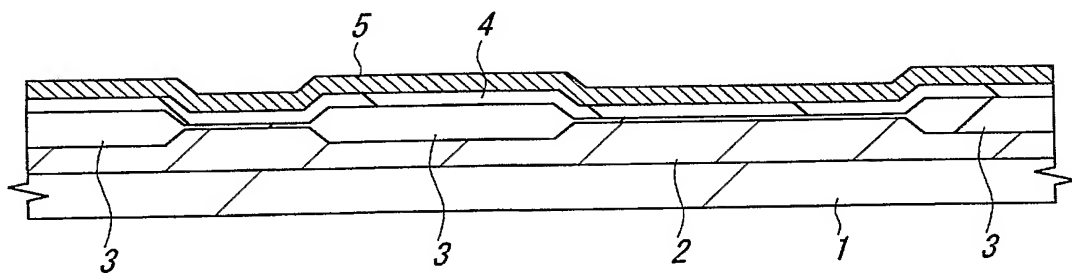
【図 1】

図 1



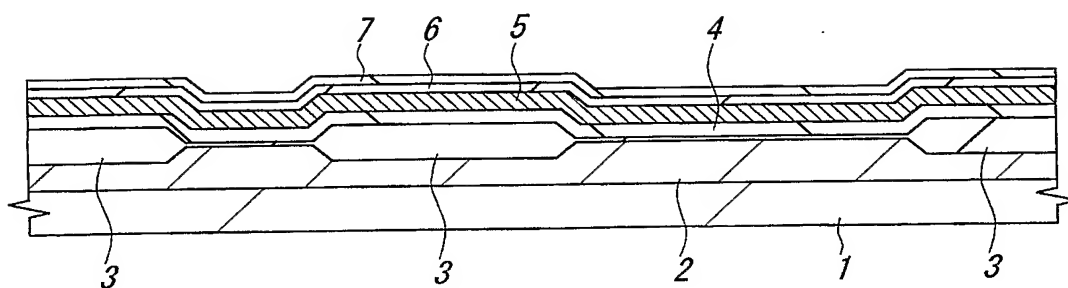
【図 2】

図 2



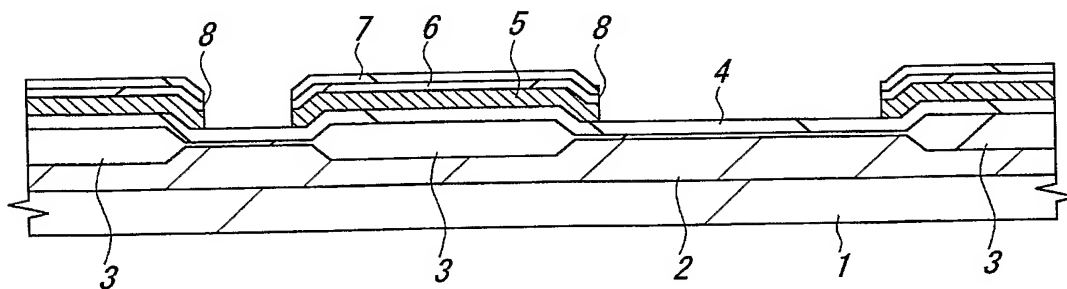
【図 3】

図 3



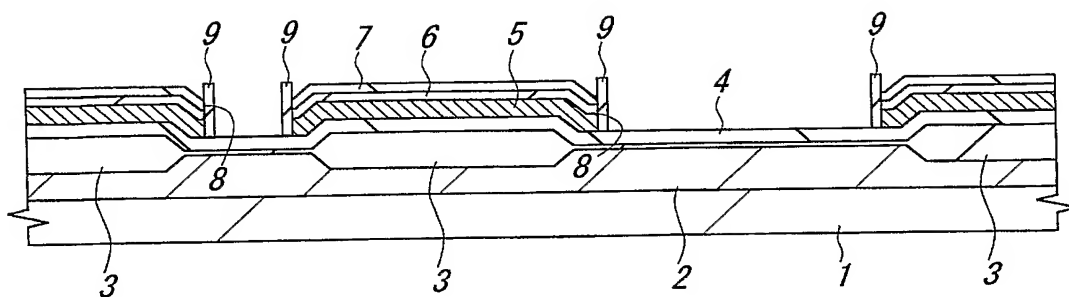
【図 4】

図 4



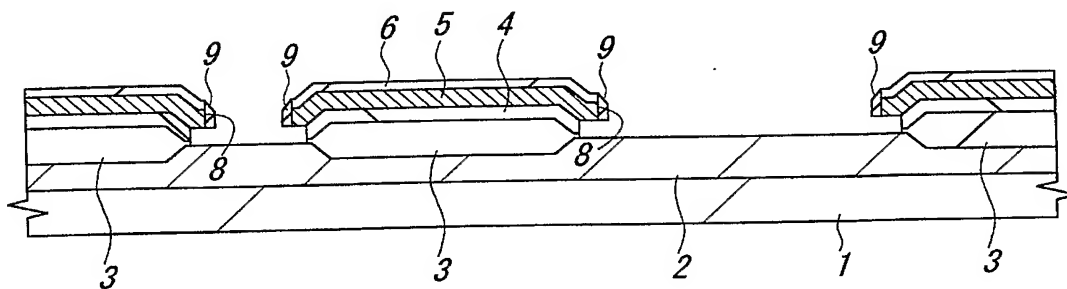
【図 5】

図 5



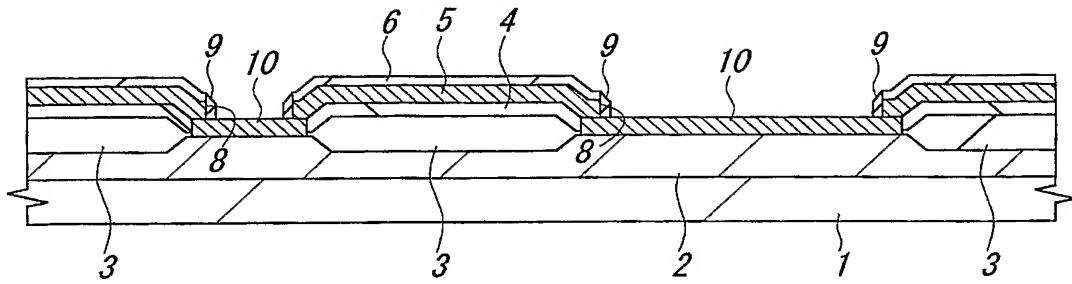
【図 6】

図 6



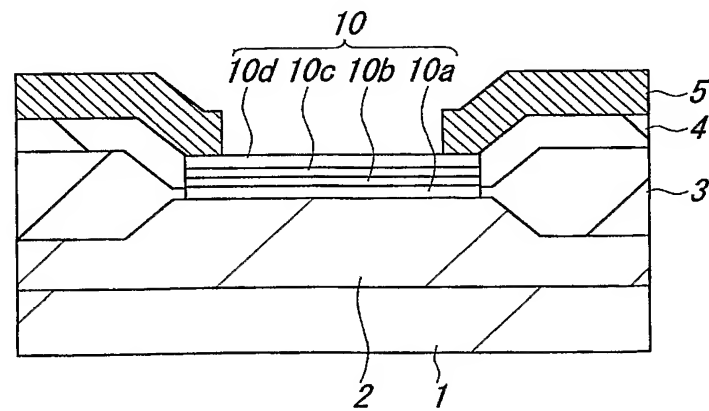
【圖 7】

义 7



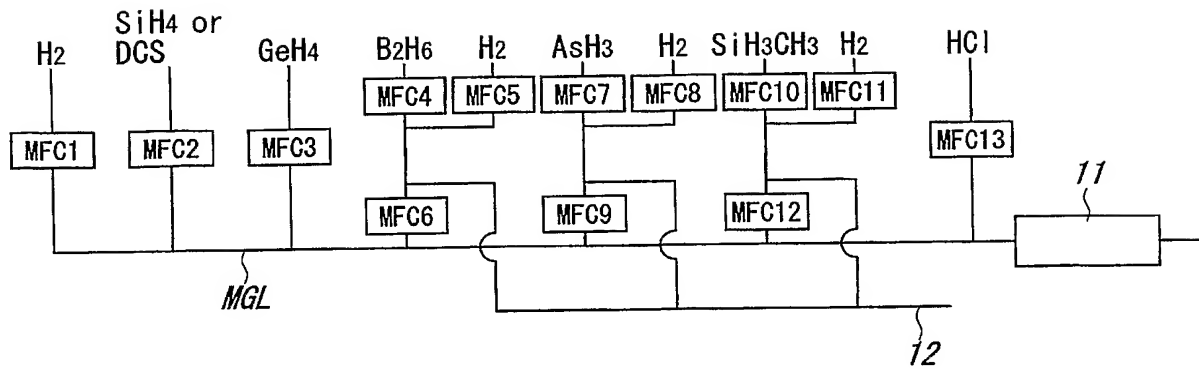
【图 8】

义 8



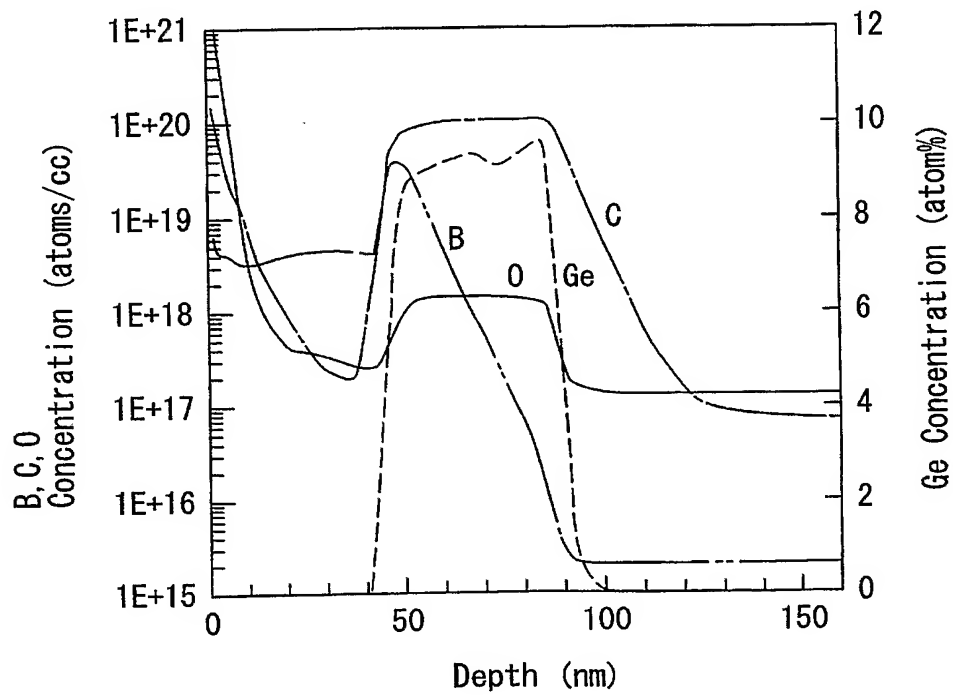
【図 9】

図 9



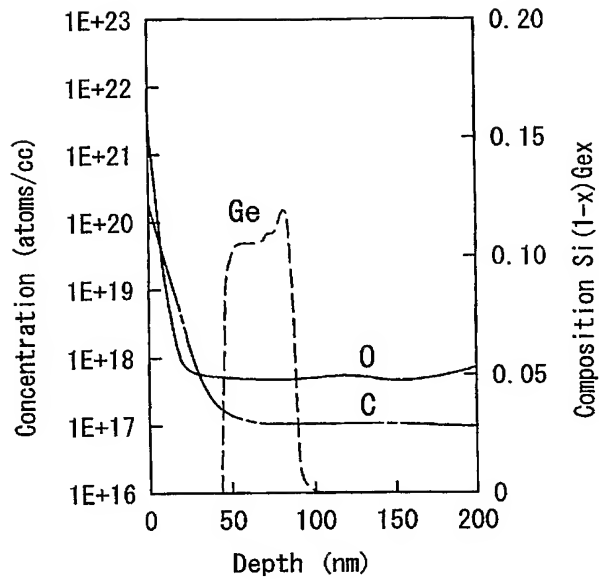
【図 10】

図 10

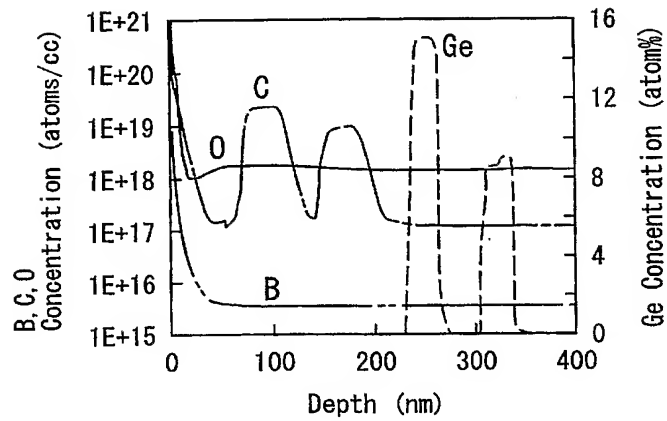


【図 11】

図 11
(a)



(b)



【図 12】

図 12

SiH ₃ CH ₃ 濃度 (%)	酸素系不純物濃度 (ppm) 理論値	酸素系不純物濃度 (ppm) メーカ保証値
100	10	10
10	1	10
5	0.5	10
1	0.1	10
0.1	0.01	10

【図 13】

図 13

	Carbon DN	SCR (sccm)	DIL (sccm)	INJ (sccm)	Conc. (%)	不純物濃度 (ppm)		希釈効果	Conc. 0.1%品に対する 酸素濃度比較
						希釈前	希釈後		
(a)	0.060	50	450	60	1	0.1	0.010	0.100	1.0
	0.060	10	490	300	1	0.1	0.002	0.020	0.2
	0.060	10	990	600	1	0.1	0.001	0.010	0.1
(b)	0.060	10	990	60	10	1	0.010	0.010	1.0
	0.060	10	4990	300	10	1	0.002	0.002	0.2
	0.060	10	9990	600	10	1	0.001	0.001	0.1
(c)	0.060	10	490	60	5	0.5	0.010	0.020	1.0
	0.060	10	2490	300	5	0.5	0.002	0.004	0.2
	0.060	10	4990	600	5	0.5	0.001	0.002	0.1
(d)	0.060	60	-	-	0.1	0.01	-	-	-

【図 14】

図 14

(a)

Carbon DN	SCR (sccm)	DIL (sccm)	INJ (sccm)	Conc. (%)	不純物濃度 (ppm)		Conc. 0.1%品に対する 酸素濃度比較	Conc. 0.1%品に対する SiH ₃ CH ₃ 消費量比較 (流量比)
					希釈前	希釈後		
0.060	10	490	300	1	0.1	0.002	0.2	0.167 (1/6)
0.060	10	4990	300	10	1	0.002	0.2	0.167 (1/6)
0.060	10	2490	300	5	0.5	0.002	0.2	0.167 (1/6)
0.060	60	-	-	0.1	0.01	-	-	-

(b)

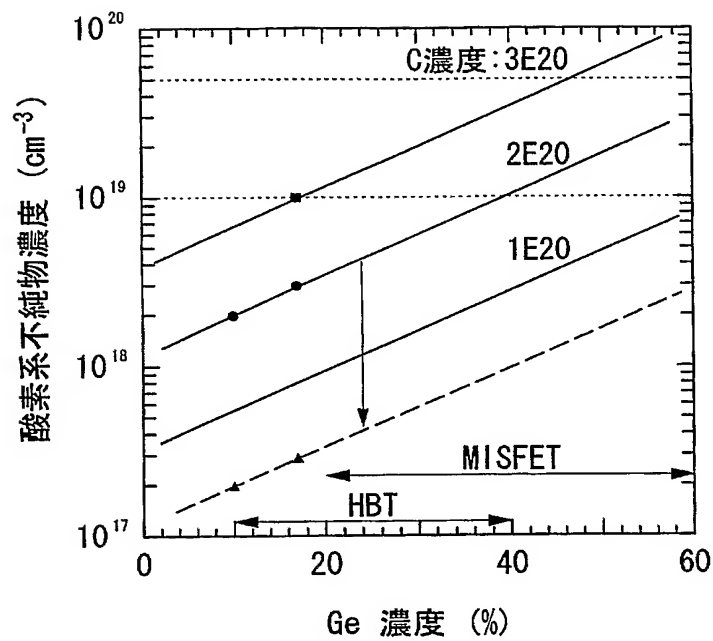
Carbon DN	SCR (sccm)	DIL (sccm)	INJ (sccm)	Conc. (%)	不純物濃度 (ppm)		Conc. 0.1%品に対する 酸素濃度比較	Conc. 0.1%品に対する コストパフォーマンス比較
					希釈前	希釈後		
0.060	10	490	300	1	0.1	0.002	0.2	0.28 (約30%)
0.060	10	4990	300	10	1	0.002	0.2	0.39 (約40%)
0.060	10	2490	300	5	0.5	0.002	0.2	0.49 (約50%)
0.060	60	-	-	0.1	0.01	-	-	-

(c)

gas	Conc. 0.1%品に対する 価格比較 (価格比)
Conc. 1%SiH ₃ CH ₃ + H ₂	1.7
Conc. 5%SiH ₃ CH ₃ + H ₂	2.4
Conc. 10%SiH ₃ CH ₃ + H ₂	2.9

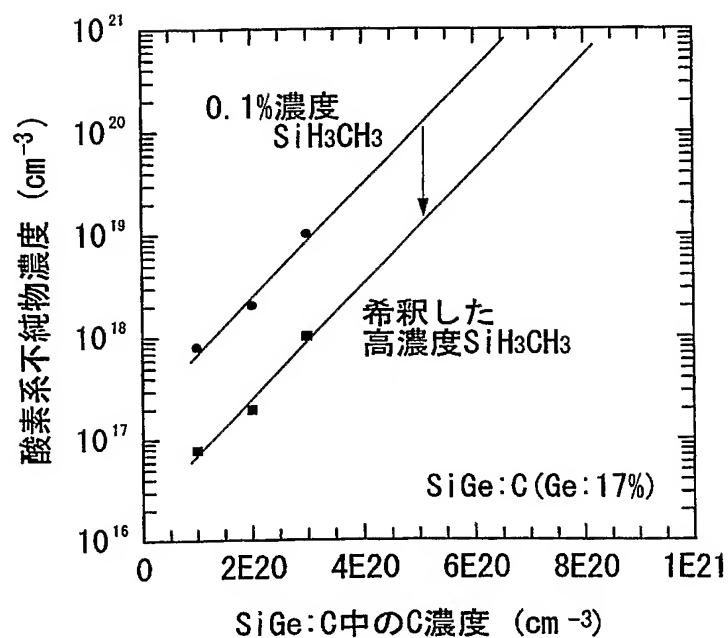
【図 15】

図 15



【図 16】

図 16



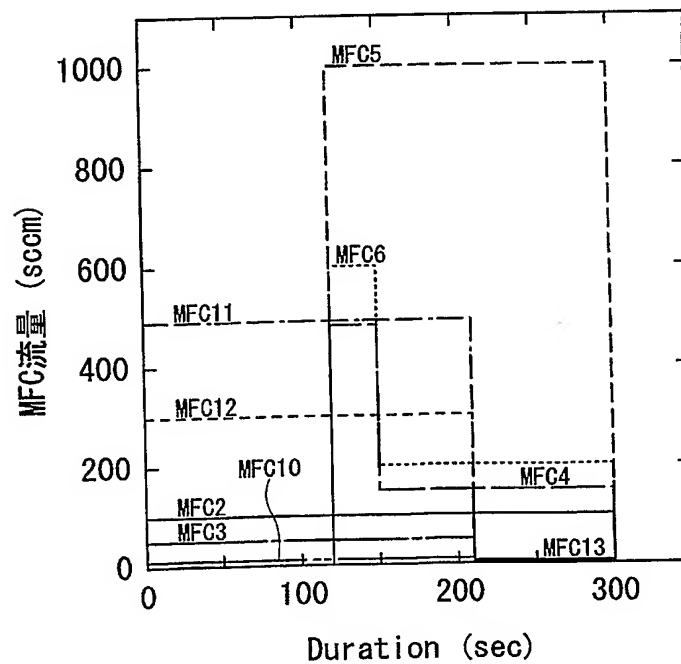
【図 17】

図 17

	i-SiGe:C	p ⁺ -SiGe:C	p--SiGe:C	cap-Si
Duration(sec)	120	30	60	90
MFC1	20000	20000	20000	20000
MFC2 (DCS)	100	100	100	100
MFC3	50	50	50	—
MFC4	—	480	150	150
MFC5	—	1000	1000	1000
MFC6	—	600	200	200
MFC7	—	—	—	—
MFC8	—	—	—	—
MFC9	—	—	—	—
MFC10	10	10	10	—
MFC11	490	490	490	—
MFC12	300	300	300	—
MFC13	10	10	10	6

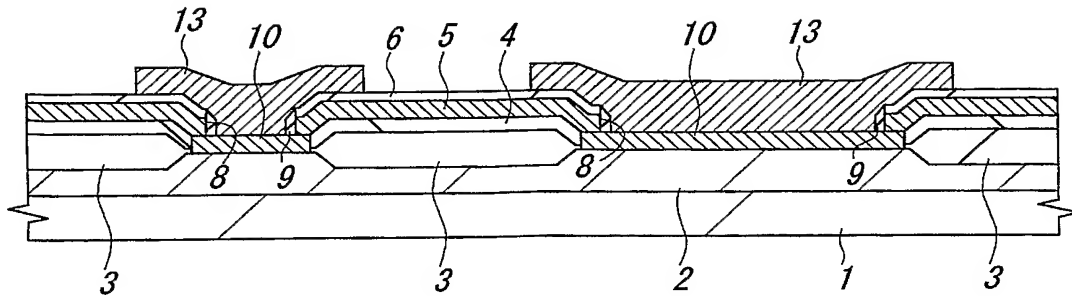
【図 18】

図 18



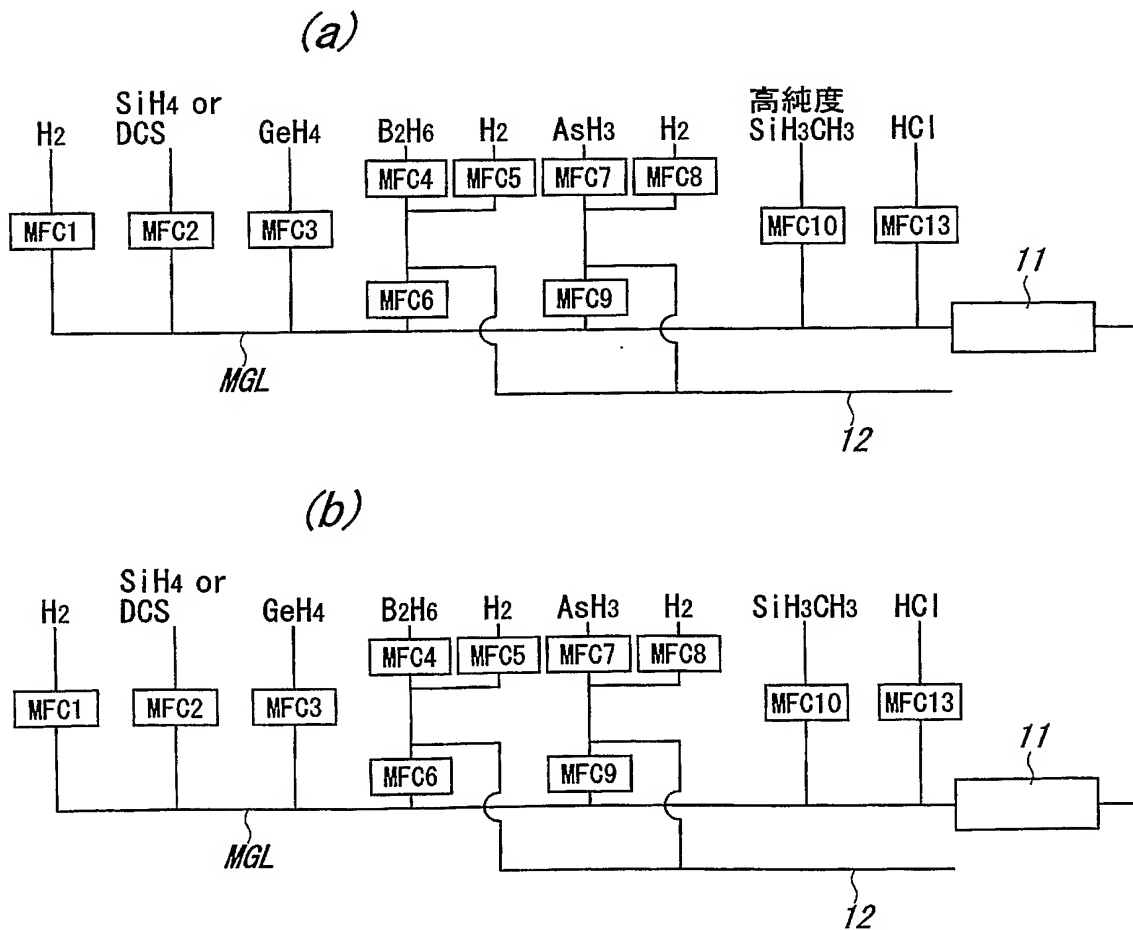
【図 19】

図 19



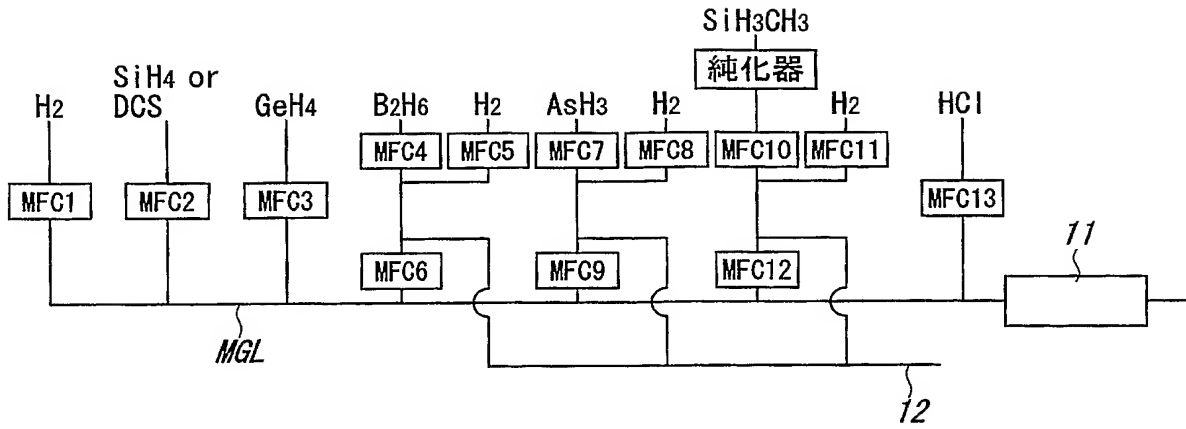
【図 20】

図 20



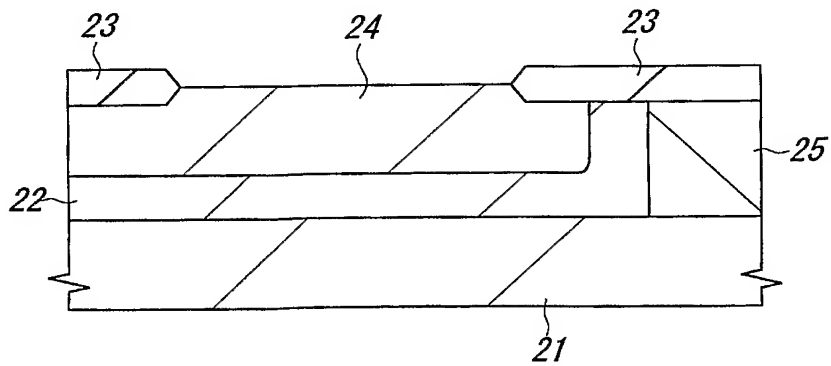
【図 2 1】

図 21



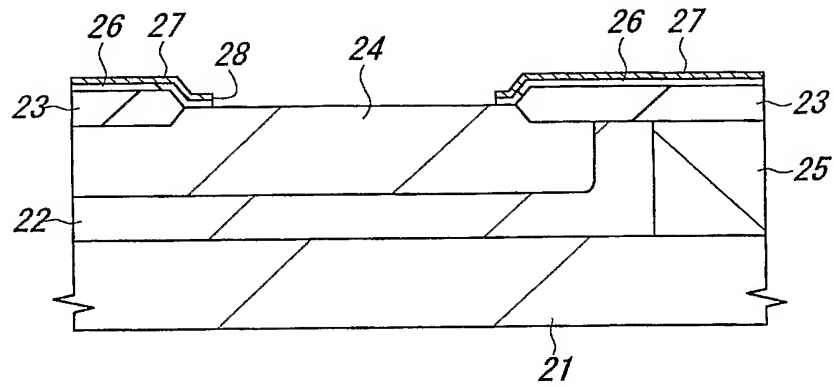
【図 2 2】

図 22



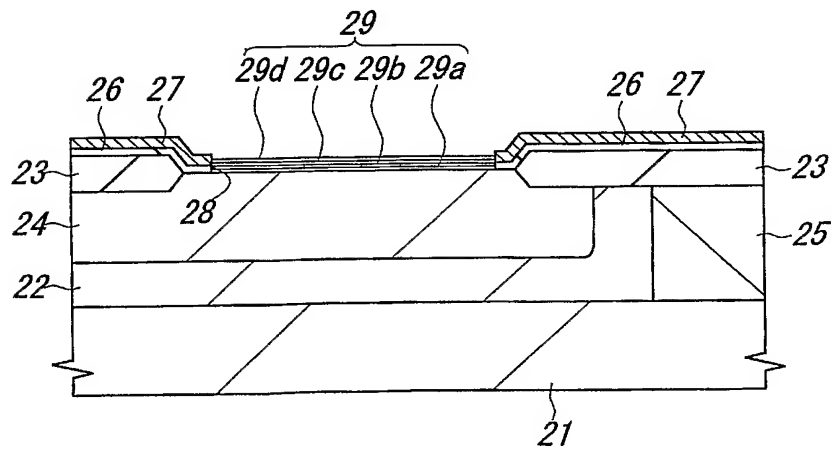
【図 23】

図 23



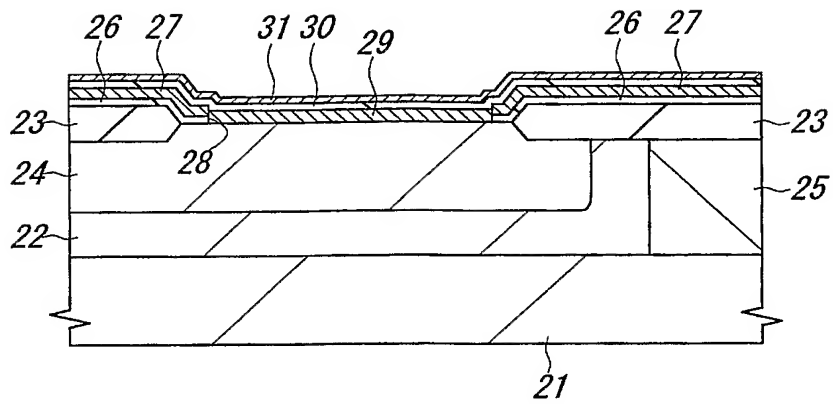
【図 24】

図 24



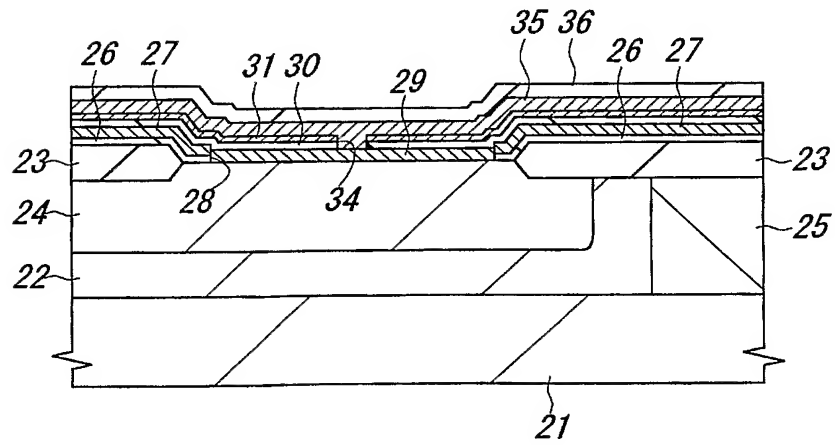
【図 25】

図 25



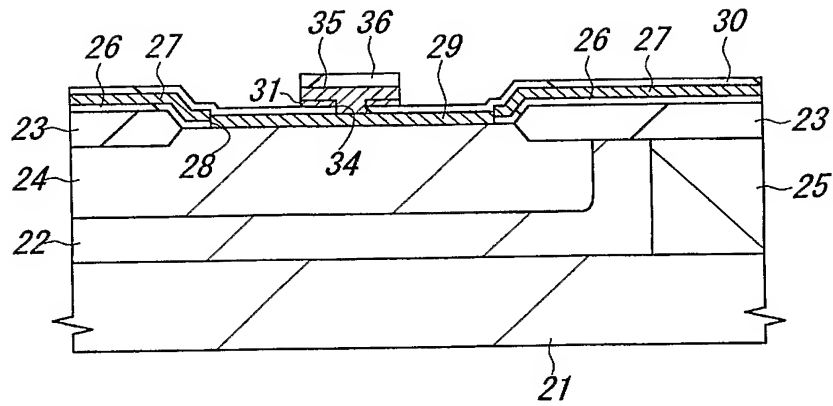
【図 26】

図 26



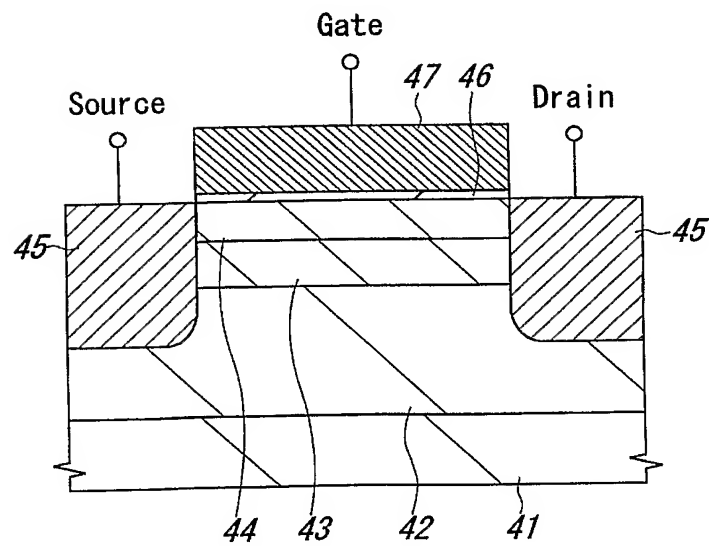
【図 27】

図 27



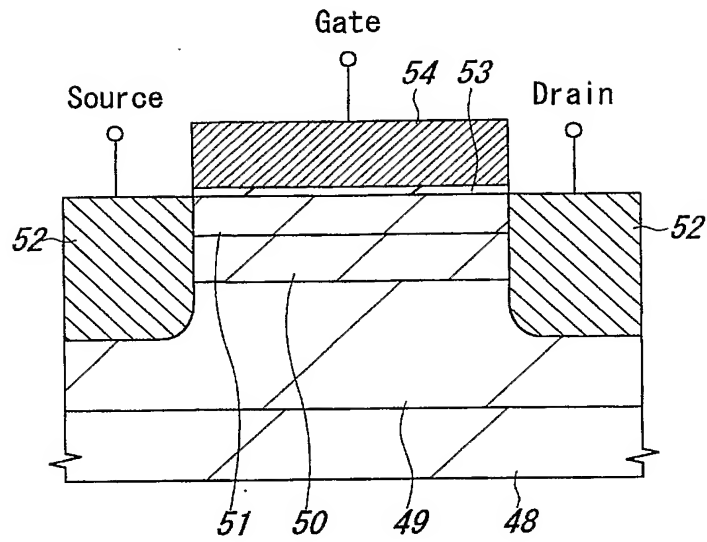
【図 28】

図 28



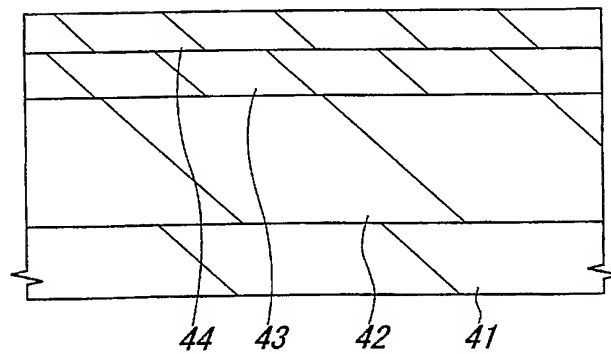
【図 29】

図 29



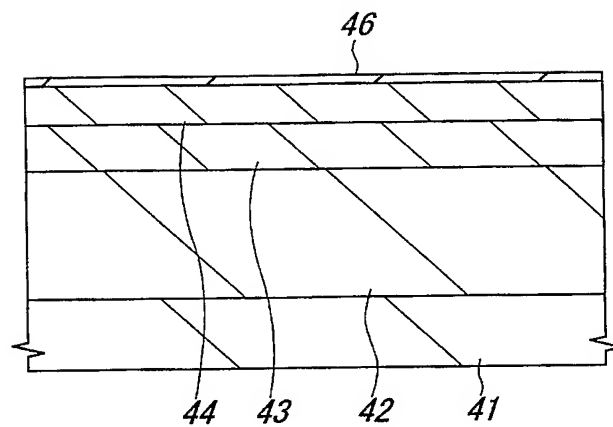
【図 30】

図 30



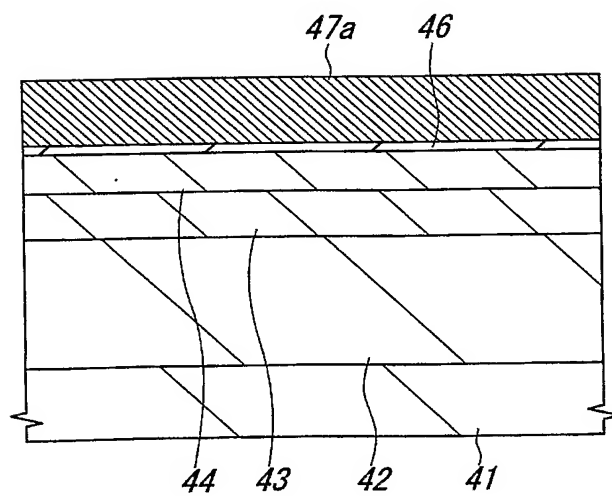
【図 31】

図 31



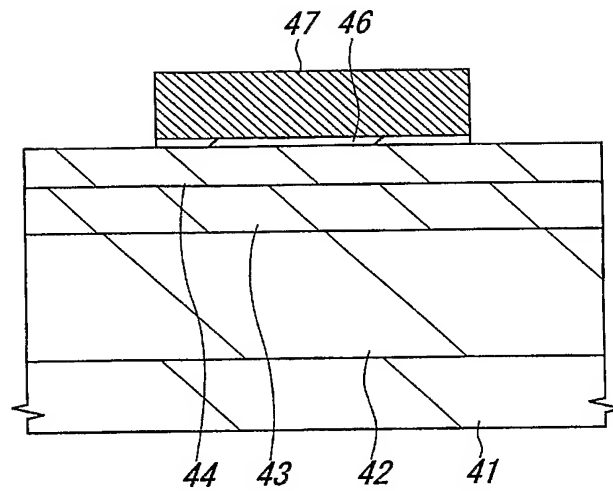
【図 32】

図 32



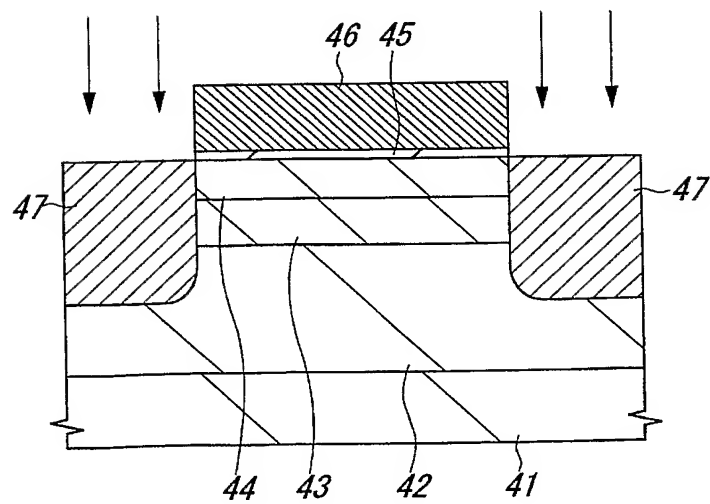
【図 33】

図 33



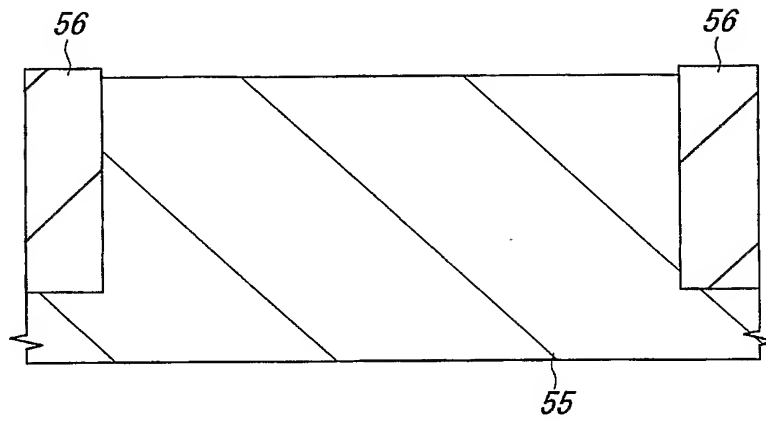
【図 34】

図 34



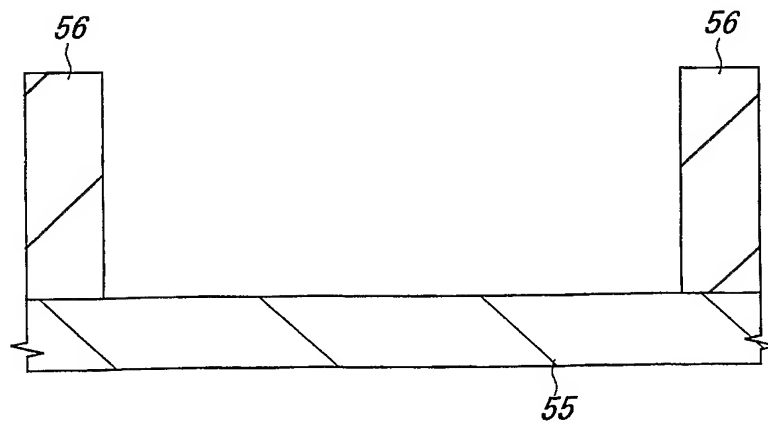
【図 35】

図 35



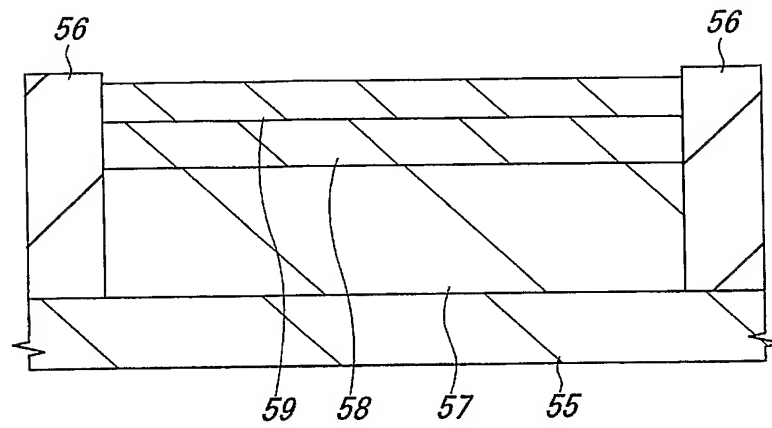
【図 36】

図 36



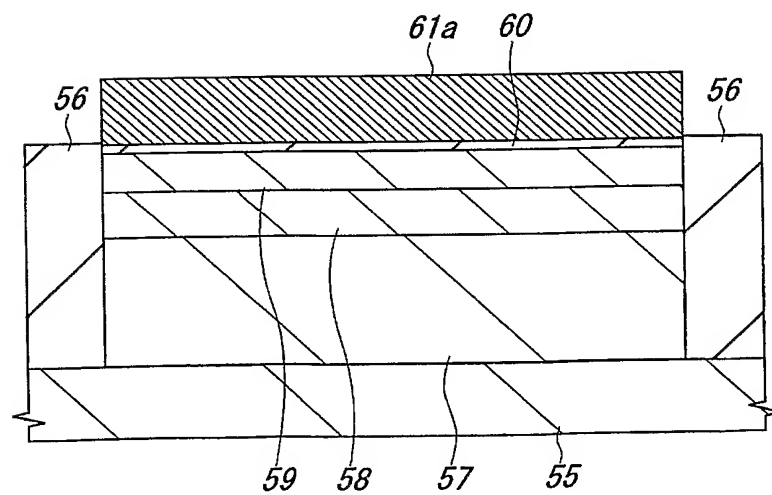
【図 37】

図 37



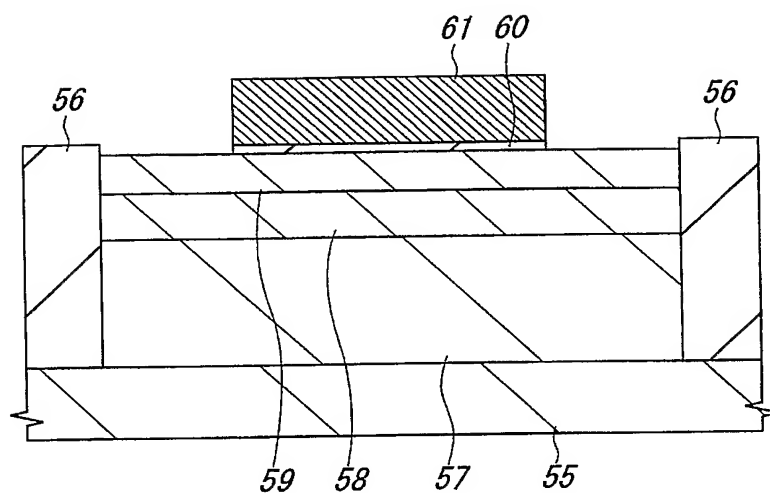
【図 38】

図 38



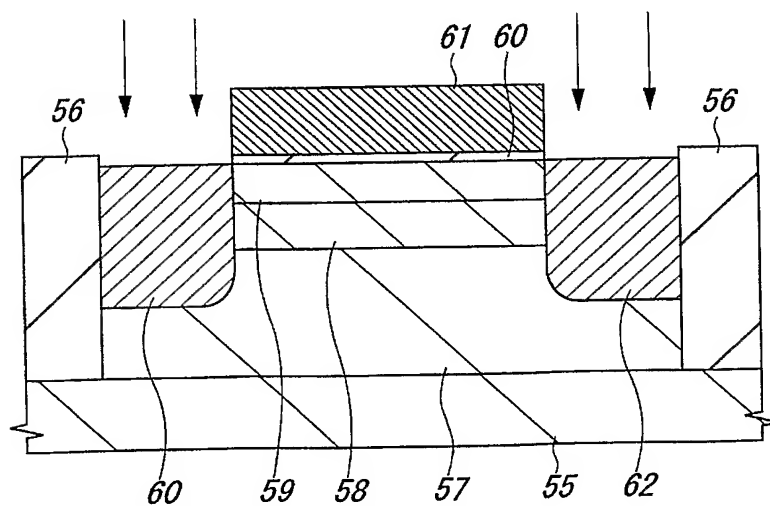
【図 39】

図 39



【図 40】

図 40



【書類名】要約書

【要約】

【課題】エピタキシャル成長により形成される SiGe:C に含まれる酸素系不純物の濃度を低減することのできる技術を提供する。

【解決手段】濃度 1 から 10 % の SiH_3CH_3 を H_2 により希釈し、希釈した SiH_3CH_3 の一部と、 GeH_4 と、 SiH_4 (または DCS) とをそれぞれ所定の流量でエピタキシャル装置のチャンバへ供給し、 SiGe:C をエピタキシャル成長技術により形成する。 SiH_3CH_3 を希釈することにより、 SiH_3CH_3 に含まれる酸素系不純物の濃度が低減するので、チャンバへ供給される酸素系不純物が低減して、成膜される SiGe:C に含まれる酸素系不純物の濃度が低減する。

【選択図】図 9

特願 2 0 0 4 - 0 3 2 8 8 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目4番1号

氏 名

株式会社ルネサステクノロジ